

# ZYNQ 在 SoC IP 验证方案的设计与实现

陶青平, 尚国庆, 朱清

(中国电子科技集团公司第五十八研究所, 江苏 无锡 214035)

**摘要:** 随着 SoC 芯片设计的流行, 各种各样的 IP 设计需求也日益增加, 如何快速而又正确地验证这些 IP 功能的正确性考验着 IC 设计工程师和验证工程师们。针对这些需求, 提出一种基于 ZYNQ 的 SoC IP 验证方案设计与实现。从传统的一些验证手段出发, 列出在验证方面所遇到的问题, 分别阐述了验证方案的总体框架, ZYNQ 平台的硬件资源、软件优势, 以及如何对所要验证的 IP 进行封装, 集成到 ZYNQ 系统中, 并利用 SDK 编写软件代码对所测试的 IP 进行测试, 最后通过 rdc IP 的验证实例来说明此方案的可行性与优越性。

**关键词:** SoC; ZYNQ; rdc; IP 验证

中图分类号: TP391

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.212423

中文引用格式: 陶青平, 尚国庆, 朱清. ZYNQ 在 SoC IP 验证方案的设计与实现[J]. 电子技术应用, 2022, 48(10): 83–86.

英文引用格式: Tao Qingping, Shang Guoqing, Zhu Qing. Design and implementation for SoC IP unit test based on ZYNQ[J]. Application of Electronic Technique, 2022, 48(10): 83–86.

## Design and implementation for SoC IP unit test based on ZYNQ

Tao Qingping, Shang Guoqing, Zhu Qing

(China Electronics Technology Group Corporation No.58 Research Institute, Wuxi 214035, China)

**Abstract:** With the popularity of SoC chip design, the demand for various IP designs is also increasing. How to quickly and correctly verify the correctness of these IP functions tests IC design engineers and verification engineers. To meet these requirements, this paper proposes a design and implementation of SoC IP unit test based on ZYNQ. Starting from some traditional verification methods, the paper lists the problems encountered in the verification scheme, and describes the overall framework of the scheme, hardware resources and software advantages of ZYNQ, and how to package the IP to be verified and integrated into ZYNQ system, respectively, and writes software code to test IP using SDK. Finally, an example of rdc IP is given to illustrate the feasibility and superiority of this scheme.

**Key words:** SoC; ZYNQ; rdc; IP test

## 0 引言

SoC 是一种集成化芯片, 相比于传统的芯片, SoC 芯片有很多的优势, 它拥有可靠性高、体积小、功耗低、集成度高等特点<sup>[1]</sup>。现在很多智能设备中都有它的身影, 如手机处理器芯片华为的麒麟 9000、高通的骁龙 888 等, 甚至一些定制化特殊需求的芯片也都采用 SoC 技术。SoC 的硬件通常基于 IP 模式设计<sup>[2]</sup>, 所以 SoC 的流行同时也催生了各种各样的 IP 设计, 尤其带有标准总线协议的 IP, 可方便地嵌入到 SoC 芯片中。在 SoC 设计中, 片上总线的概念<sup>[3]</sup>相当重要, 目前比较常见的几种总线有: AXI 总线<sup>[4-5]</sup>, 目前应用最广泛的、高性能的片上总线; AHB 总线, 目前应用最为广泛的高性能低功耗总线, ARM 的 Cortex-M 系列大多采用这种总线; APB 总线, 主要应用于低带宽周边外设之间, 如 UART、SPI 等。

众所周知, 既然 SoC 的设计离不开 IP 的支持, 在这些 IP 在未集成到 SoC 之前, 需要对其进行验证仿真。尤

其那些带有总线接口的 IP, 验证者除了要了解这个 IP 的功能, 还必须对各种总线协议比较熟悉, 这无疑增加了验证的困难。传统的方案是 MCU+FPGA 实现方案, 或者类似 FPGA 原型验证的架构<sup>[6]</sup>。不仅要求在设计硬件上有很高的要求, 如 MCU 与 FPGA 之间的通信, 尤其是并行通信方式<sup>[7]</sup>, 而且有可能会要求验证者将一些总线协议进行转换, 如 XINTF 转成 APB 总线协议、EMIF 接口转成 APB 总线协议等, 这就对验证者的技术提出了更高的要求。原型验证架构方式还需要搭载一个核的实现, 不够便捷。通过上述分析, 发现一般传统的方案对硬件和软件的设计能力要求都比较高, 而且任何一方有问题的话, 调试起来也比较费时费力, 甚至有可能导致硬件重做, 耽误项目进度。

本文提出的方案设计与实现利用 ZYNQ 的先天优越性, ZYNQ 本身就是集 ARM+FPGA 架构<sup>[8]</sup>, PS 是 ARM 端, PL 是 FPGA 端, PL 可用来放置验证的 IP, PS 可根据

需要进行裁剪。PS 与 PL 的通信方式可采用一种标准的 AXI4 通信<sup>[9]</sup>, 这种通信方式提供了一些通用的可行的桥进行转换, 如 AXI 转 APB、AXI 转 AHB 等都有成熟的桥方案, 大大减少了硬件的设计复杂度和成本, 对软件的要求也不高。

## 1 系统架构设计

根据测试不同的 IP 功能可以构建出一个最符合测试该 IP 的系统架构, 且软硬件可裁剪。由于 ZYNQ 的 PS 和 PL 部分均可灵活配置, 对于一些简单的 IP, 如 UART、I<sup>2</sup>C、SPI 等, 由于这些 IP 在 ZYNQ 的 PS 端均有实现, 便可通过 EMIO 功能, 将 PS 端的引脚引入到 PL 端, 就可以将放在 PL 端的待测 IP 的管脚与 EMIO 端进行连接, 无需外接子板便可进行协议验证。如果是带有标准接口的 IP, Xilinx 官方提供一些 AXI 转 AHB、AXI 转 APB 的桥, 这些总些接口都是大多数 SoC 芯片方案采用的接口, 利用这些桥便可方便地搭建系统架构, 而无需和传统方案一样去关心总线时序如何转化的问题, 让开发者和验证者着重关心具体 IP 的验证。方案架构如图 1 所示。

从图 1 中可以看出, 基于不同的 IP, 可以选择不同的测试通路, 一条路径是待测试的 DUT 通过 EMIO 进行通信(如 I<sup>2</sup>C、UART、SPI 等), PS 端的 AXI 通过配置 DUT 寄存器, 使能 DUT 功能, 再通过与 PS 端的 EMIO 进行互联测试, PS 可根据测试的结果判断, 完全不需要额外的连线措施; 另一条是 PS 端通过 AXI 与 DUT 进行通信, 有需要时外部再连接外设子板配合测试。这两条路径均省去了传统的 MCU+FPGA 方案的物理连线的步骤, 节约 PCB 的制作成本, 测试结果可利用 PS 的 UART 打印送给

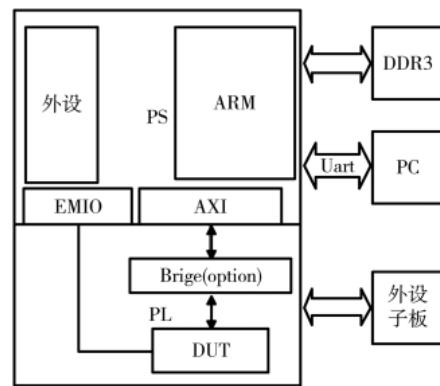


图 1 系统架构框图

PC 端, 实现自动化一键测试需求。

## 2 ZYNQ 平台实现

### 2.1 ZYNQ 介绍

Zynq-7000 系列<sup>[10]</sup>是具有双核 ARM(Cortex-A9)芯片的 FPGA。ARM 处理器部分即文中提及的 PS(Processing System)集成了 DDR2/3/LPDDR2 存储器控制器、以太网网口、USB 控制器、SD 卡、SPI、UART、Flash Memory Interface 等外设; 可编程逻辑部分即文中提及的 PL(Programmable Logic), 如 XC7Z045-FFG900-3 是采用 Kintex-7 架构, 其具有 350 000 个逻辑单元(相当于 52 万门的电路)、218 600 的 LUTs、437 200 个寄存器、2 180 KB 的集成 RAM、900 个 18×25 硬件乘法器。这些资源对实现大部分 IP 的功能绰绰有余, 而且 ZYNQ 平台为嵌入式系统的实现提供了极大的灵活性, 可通过 Vivado 对其资源进行筛选。图 2 为 ZYNQ 的资源框图。

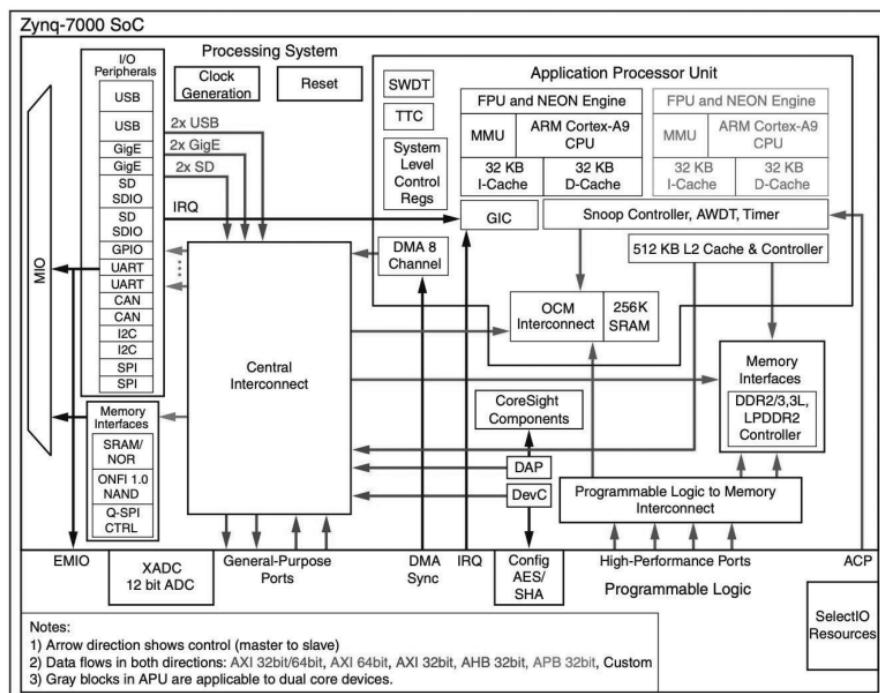


图 2 ZYNQ 资源

图 2 中 EMIO、32 bit GP AXI Master Ports、32 bit GP AXI Slave Ports、HP AXI Slave Ports 和 AXI ACP Slave Ports 可与所测试 DUT 进行通信连接。

## 2.2 SoC IP 封装

SoC IP 封装就是将待测试的 IP 进行必要的重新打包封装,如果测试的 IP 没有对应的接口,需将接口与待测试的 IP 一起封装。在封装 IP 的过程中有两处地方需特别注意的地方:一处是在 Ports and Interfaces 处,这里可以对所封装的 IP 的一些标准接口进一步规范,如 APB 接口、AHB 接口等,以使下一步连接时线比较清晰;另一处则是在 Addressing and Memory,如果待测 IP 用到了地址映射,需添加 Add Memory Map 和 Add Address Blocks,并将封装好的 IP 集成到 ZYNQ 平台上进行连接测试。

## 2.3 软件设计实现

将各个封装好的 IP 与 ZYNQ 通过接口连接好,生成 bit 文件,将生成好的硬件通过 Vivado 工具导出。启动 SDK 软件设计有两种方式:一种通过 Vivado 启动 SDK;另一种打开 SDK 软件,导入刚才导入的硬件 hdf。SDK 软件根据硬件的不同提供良好的板级支持包,程序的大体框图业已写好,只需测试者把想要测试的测试向量加入到框架中去或者直接通过 PC 端传入测试向量。

## 3 rdc IP 的验证方案实现

本文通过 rdc IP 的测试来验证方案的正确性和优越性。

旋变模块 rdc IP 的接口是 APB 从机接口,与 APB 主机总线接口连接。该模块 IP 的功能是接收 SD(Sigma-Delta 调制)类型的 AD 数据格式。通过这些数据计算出旋变的转速和角度。通过 APB 接口配置其工作模式,读取数据的转速和角度信息。其端口信息如表 1 所示。

表 1 rdc IP 的端口信号

端口名称	I/O	功能描述	备注
pelk	I	APB 时钟	时钟复位
prst_n	I	复位信号	
pready	O	从单元的 ready 信号	
psel	I	从单元的选择信号	
paddr[31:0]	I	桥输出的地址线	
pwdata[31:0]	I	桥输出的数据线	APB slave 接口
prdata[31:0]	O	桥的从机数据输入	
pwrite	I	桥输出的读写信号	
penable	I	桥输出的使能信号	
clk_rom	I	读 rom 时钟, xclk_rom 的反向	基础时钟可以是
xclk_rom	I	模块基础时钟	10.24 MHz 或者
clk	I	旋变模块工作时钟, xclk_rom 的二分频	8.192 MHz
sin1	I	AD 输入正弦	SD 类型的数据
cos1	I	AD 输入余弦	

从表 1 中可以看出,该模块需要一工作时钟 pelk,这可以由 PS 的 FCLK\_CLK0(100MHz) 提供;一基础时钟 xclk\_rom,可由 PS 的 FCLK\_CLK1 提供;其他时钟可经过分频,反相得到,如表 2 所示。

表 2 时钟生成频率

时钟名称	时钟源	预设频率/MHz	实际频率/MHz
FCLK_CLK0	IO_PLL	100	100
FCLK_CLK1	IO_PLL	8.192	8.187 134

APB 接口可通过 axi\_apb\_bridge 与 axi\_interconnect 连接到 PS 端的 M\_AXI\_GPO 上。PS 端通过此端口可配置 rdc IP 的配置参数。

sin、cos 数据可通过 PS 端将数据存放在 PL 例化的双口 RAM 中,在该设计中利用 AXI\_bram\_ctrl 和 blk\_mem\_gen 双端口,一端通过 PS 写入数据,另一端则 PL 可通过其读出写入的数据提供给 IP 核作激励。并通过 PS 的 GPIO 的上升沿产生中断,通知 rdc\_driver 模块数据传输完成,可向 rdc IP 发送 sin、cos 数据作为 IP 的激励向量。其中 sin、cos 数据为事先准备好的 SD 类型的数据。

最终的 Block Design 的设计图如图 3 所示。

硬件完成后,生成 hdf 文件和 bit 文件,启动 SDK,进行软件设计,PS 软件端的代码主要为接收由 PC 端通过串口发送的测试向量,并将其存放在 PL 中的 SRAM 中;接收完成后通知 PL 向 IP 输入测试向量,PS 读取 IP 的寄存器的测试结果返回到 PC 端判断测试是否正确。其软件设计流程如图 4 所示。

对比传统的方案,本文以 DSP+FPGA 方案为例,DSP 与 FPGA 通过 EMIF 接口通信,FPGA 端除了需要实现 rdc IP,还必须对 EMIF 通信接口时序进行转换,转成相应的 APB 接口,验证者需了解这两种的时序关系,对验证者的设计水平提出了更高的要求。二者方案对比如表 3 所示。

从表 3 中可以看出,传统方案从硬件到软件的实现比本文的方案都要复杂得多,且费时费力,而本文的方案中除了基本的 ZYNQ 平台外,并未需要到其他外设,而且减少了 PCB 板级的布局布线,且在资源重复利用上相对于传统的验证方案通用性更加灵活,减少了针对测试不同的 IP 所带来的制作成本的提供,提高验证效率。

## 4 结论

本文介绍了一种 ZYNQ 在 SoC IP 验证方案的设计与实现,并通过验证 rdc IP 的实际案例说明方案的可行性。与传统的 MCU+FPGA 方案或者是原型验证架构对比,本方案在硬件的搭建、PCB 制作的成本上以及软件测试的优越性和便利性上更胜一筹,特别是带有标准接口的 SoC IP 的测试。随着 SoC 芯片设计的流行,各种各样的 IP 设计的需求也日益增加,本文所提验证手段既简单又灵活方便,可为 SoC 芯片验证提供参考。

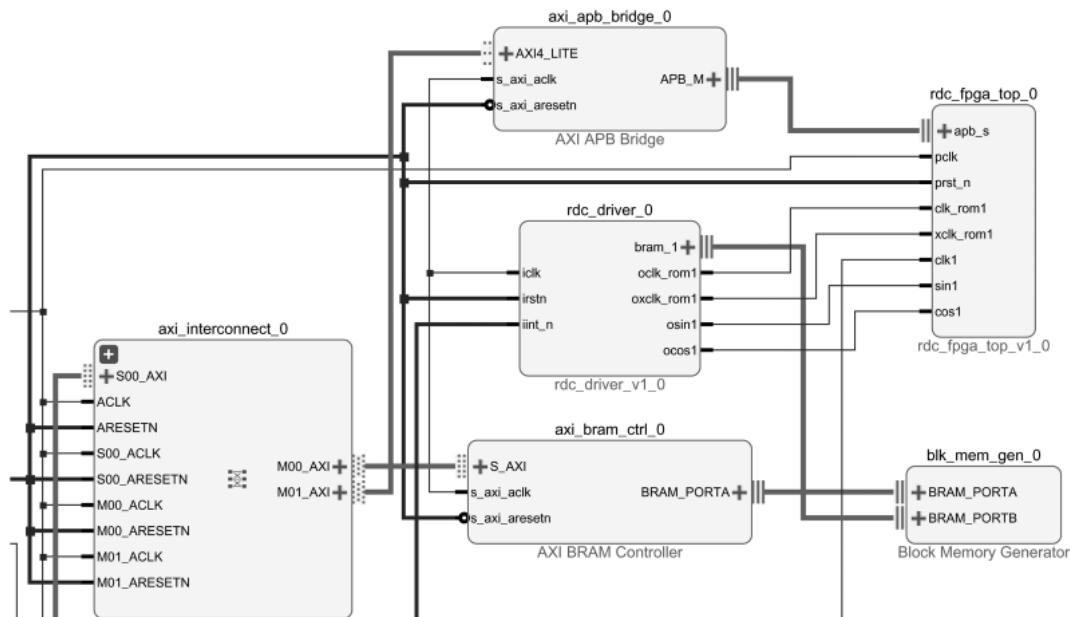


图 3 rdc IP 测试原理图

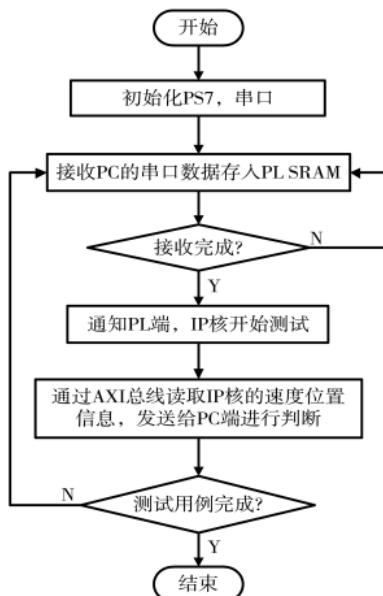


图 4 程序流程图

## 参考文献

- [1] 阎瑾. SoC 技术与发展预测[J]. 信息技术, 2011(9): 188.
- [2] 石君, 张谦, 斐丹丹. 基于自动测试系统实现系统级芯片异步信号[J]. 电子与封装, 2020, 20(2): 31–33.
- [3] 葛鹏岳, 黄考利, 连光耀, 等. SoC 测试性设计和验证方法关键技术[J]. 仪表技术, 2010(3): 62–64.
- [4] 贺依盟, 周亚军. AXI 总线加密模块的设计与验证[J]. 杭州电子科技大学学报(自然科学版), 2016, 36(1): 57–26.
- [5] 吴汶泰, 詹琛铭. 基于 Zynq 的 AXI 的总线传输软件优化[J]. 通信技术, 2017, 50(7): 1576–1580.
- [6] 高营, 刘德, 鞠虎. 基于开源处理器 Rocket 的异构 SoC 设计与验证[J]. 电子与封装, 2021, 21(3): 66–70.
- [7] 陈林军, 刘鹏, 姜智译. DSP 和 FPGA 的双核并行通讯方

表 3 方案对比

项目	传统方案	本文方案
硬件资源	DSP 系统、FPGA 系统、DSP 与 FPGA 的接口(其中数据通道部分, 需要硬件在设计时作等长处理)	ZYNQ 最小系统(通过软件自带的 AXI 转 APB 桥进行通信)
软件资源	DSP 和 FPGA 软件	FPGA 软件
消耗时间	硬件之间的布局布线及硬件调试, 以及硬件之间的通信时序的调试验证。	无硬件之间的布局布线和硬件的调试, 无需硬件之间的通信调试, 可直接进入 IP 的验证。在前期的时间消耗为 0

法设计与应用[J]. 单片机与嵌入式系统应用, 2016, 16(1): 4–7.

[8] 张龙, 冯帅. 基于 Zynq 的视频图像处理平台的设计[J]. 计算机与数字工程, 2016, 44(12): 2519–2523.

[9] 马飞, 刘琦, 包斌. 基于 FPGA 的 AXI4 的总线时序设计与实现[J]. 电子技术应用, 2015, 41(6): 13–19.

[10] CROCKETT L H, ELLOT R A, ENDERWITZ M A, et al. The Zynq book : embedded processing with the ARM Cortex-A9 on the Xilinx Zynq-7000 all programmable SoC[M]. London : Strathclyde Academic Media, 2014.

(收稿日期: 2021-12-05)

## 作者简介:

陶青平(1985-), 通信作者, 男, 硕士, 工程师, 主要研究方向: 人工智能与模式识别, E-mail: 389757410@qq.com。

尚国庆(1989-), 男, 硕士, 工程师, 主要研究方向: 信号与信息处理。

朱清(1991-), 男, 本科, 工程师, 主要研究方向: 电气工程与自动化。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所