

皮秒级多脉冲时间间隔大量程时间测量系统设计*

刘琛昊¹, 金革²

(1.中国科学技术大学 微电子学院,安徽 合肥 230026;2.中国科学技术大学 近代物理系,安徽 合肥 230026)

摘要: 时间测量技术在激光测距、粒子鉴别、放射性核医学工程等领域中都有重要应用。本设计采用基于 Altera 公司的 FPGA EP3C55F484C6 结合时间内插技术来实现较高精度的时间数字转换器(Time-to-Digital Converter, TDC)。通过结合上位机,实现单次测量一个 Start 脉冲对应的多个 Stop 脉冲的个数可调,可以解决一次测量中有多个待测目标时需反复多次测量的问题。经过测试,设计分辨率可以达到 90.08 ps,测量精度可以达到 33.54 ps,积分非线性 INL 范围是(-0.34 LSB~+0.27 LSB),微分非线性 DNL 范围是(-0.28 LSB~+0.31 LSB)。

关键词: 时间数字转换器;现场可编程门阵列;多脉冲测量;进位链

中图分类号: TN79

文献标识码: A

DOI:10.16157/j.issn.0258-7998.222793

中文引用格式: 刘琛昊,金革.皮秒级多脉冲时间间隔大量程时间测量系统设计[J].电子技术应用,2022,48(10):108-112.

英文引用格式: Liu Chenhao, Jin Ge. A large range time measuring system study of picosecond multi-pulse time interval[J]. Application of Electronic Technique, 2022, 48(10): 108-112.

A large range time measuring system study of picosecond multi-pulse time interval

Liu Chenhao¹, Jin Ge²

(1.School of Microelectronics, University of Science and Technology of China, Hefei 230026, China;

2.Department of Modern Physics, School of Physical Sciences, University of Science and Technology of China, Hefei 230026, China)

Abstract: Time measurement technology has important applications in laser ranging, particle identification, radioactive nuclear medicine engineering and other fields. This design uses the time interpolation technology based on FPGA EP3C55F484C6 which produced by Altera Corp to achieve high precision TDC. By combining with the upper computer, the number of stop pulses corresponding to a start pulse can be adjusted in a single measurement, which can solve the problem of repeated measurement when there are multiple targets to be measured in a measurement. After the test, the design resolution is 90.08 ps, the measurement accuracy is 33.54 ps, the integral nonlinear INL range is(-0.34 LSB~+0.27 LSB), and the differential nonlinear DNL range is(-0.28 LSB~+0.31 LSB).

Key words: time-to-digital converter; FPGA; multi-pulse measuring; carry chain

0 引言

科学实验中许多信息是以时间信息方式存在于探测器的输出信号中,典型的例子如飞行时间测量(Time of Flight, TOF):发射端发射信号到待测物体后,被反射回探测器,通过对往返时间间隔进行分析,可以得到距离信息,而所测得时间精度也就决定了 TOF 系统的精度^[1]。而时间数字转换器则是在时间分析中使用较多的测量手段^[1-2]。在传统的实验中,若存在多个待测物体,探测器会收到多个信号,需进行多次测量,增加实验的复杂度,且无形中增加实验成本。针对这一情况,本文设计了一次测试中,一个“开始”信号可以对应多个“停止”信号进行测量的时间数字转换系统。

数字型时间数字转换相对模拟型的转换方法具有

稳定性高、调试方便等优势;而数字器件中 FPGA 相对 ASIC 具有制造周期短、成本低、调试方便等优势,同时是可编程的逻辑列阵,能够有效地解决原有的器件门电路数较少的问题。它能够满足几乎所有应用门阵列和中小规模的集成电路,编程灵活同时开发方便,可以实现在线、实时验证的要求^[3-4]。本文以 FPGA 为核心器件,根据 TDC 的基本原理,以实现时间间隔测量为最终目的搭建系统,同时完成多脉冲时间间隔测量的功能,可以满足实验中更多多样性的测量需求,也在其他高精度时间测量场合中具备应用前景。

1 设计原理

1.1 时间测量系统整体框架

系统框架如图 1 所示。系统工作时,外部两路待测时间间隔信号输入前端电路,其作用是滤除噪声,同时可以将输入信号与上位机设置的阈值电压进行比较,阈

* 基金项目:国家自然科学基金(11875249)

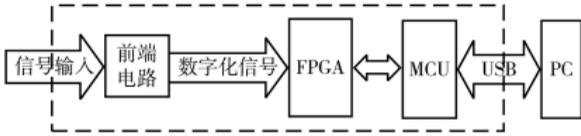


图1 皮秒级多脉冲时间间隔大量程时间测量系统框图

值由数模转换器 (Digital-to-Analog Converter, DAC) 给出,若大于上位机所设阈值,输入信号被认定有效,前端电路的比较器出现有效输出进入 FPGA, FPGA 对其进行处理。在整个系统中, FPGA 起到的作用是接收前端甄别器输出的信号、与接口进行通信、功能算法逻辑的实现、控制 DAC 输出等。处理后的结果通过上位机控制,进行保存或实时处理等操作。

1.2 “粗计数”与“细计数”结合测量原理及 FPGA 实现

时间数字转换的方法多种多样,例如直接计数法、游标卡尺法、延时单元内插法等^[5],这些方法各具优劣。本文采用“粗计数”结合“细计数”的测量方法,其原理如图 2 所示。“粗计数”模块通过构造一个计数器实现,可以扩展很大的量程;“细计数”模块通过延时很短的内插单元,把粗计数的最小时钟周期进行细致分割,提升了测量精度,两种方法结合可以在保证测量精度的前提下同时可以扩展出很大的量程。

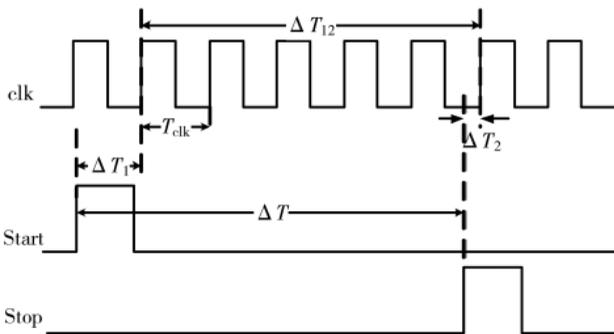


图2 “粗计数”结合“细计数”测量时间原理

FPGA 中的进位链延时一般都在皮秒量级,且各级延时均匀性较好,是实现设计的关键资源^[6-7]。EP3C55-F484C6 芯片进位链通过 Time-request 仿真后的延时结果如图 3 所示,每一级进位延时为 58 ps。

时间测量部分采用如图 4 所示结构。Start 信号和 Stop 信号送入由系统时钟驱动的粗计数器,负责控制粗计数器的同步起停;另创建两个带有 Carry-In 输入端口的加法



图3 进位链延时仿真结果

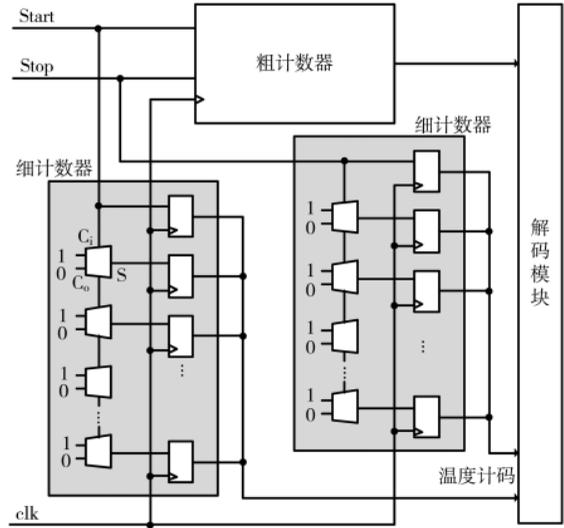


图4 基于FPGA的时间数字转换器实现原理

器作为细计数器。两个细计数器同样使用时钟 Clock 进行驱动, Start 信号和 Stop 信号就通过 Carry-In 端口送入加法器构成的第一级进位链,当输入信号在进位链上传播到某个位置时,此时 Clock 上升沿到来,会将细计数器各位查找表(Look Up Table, LUT)的输出值打入对应的 D 触发器中。最终细计数器输出的格式是温度计码,译码结果代表了细计数 ΔT_1 和 ΔT_2 的值。Start 温度计码和 Stop 温度计码被送入转码单元转换为二进制码,并与粗计数结果结合进行计算得出时间间隔 ΔT 对应的时间码^[4,8]。

2 上位机部分设计

上位机软件提供了人机交互的渠道,它与下位机之间的通信是通过 USB(Universal Serial Bus)接口芯片实现的,上位机软件基于 LabVIEW 编写。USB 芯片内部配置了一个输入缓冲区和输出缓冲区。上位机要读取下位机的数据时, FPGA 数据总线上的数据被写入输出缓冲区。NI 公司提供的 NI-VISA 驱动完成与 USB 接口的对接。上位机被该驱动程序识别为一个 NI-VISA 设备, LabVIEW 可以访问该设备^[9]。上位机软件支持比较器电压阈值的设置、测量时间的设置、测量模式选择、实时显示输入信号以及输出信号计数等功能,界面直观,功能齐全。

3 多脉冲测试功能实现

当系统实现了与上位机进行相互通信以后,系统可以接收到上位机下发的数据命令,是多脉冲功能实现的基础。首先,上位机下发指令,设置测试中开始信号对应停止信号的个数 $N(N$ 为正整数);接下来在 FPGA 中构造一个计数器,用于统计进入系统中的停止信号的个数,初始值为 0,每当有一个有效停止信号进入,计数 $cnt+1$,使能一次时间测量功能,直到超出了上位机预设的数量时,给出一个复位信号。此外,由于多个停止脉冲之间可能存在间隔时间较长的现象,为避免等待时间超出最大量程,还需设置一个强制停止测量的复位端。多脉冲功

能流程图如图 5 所示。

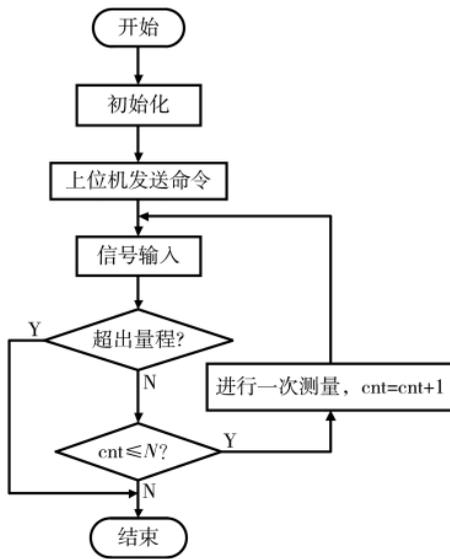


图 5 多脉冲测量功能实现流程图

4 系统测试与验证

4.1 码密度测试

系统对延时单元标定采用了码密度法^[10-11]。对系统输入大量随机脉冲后测试所得结果如图 6 所示。

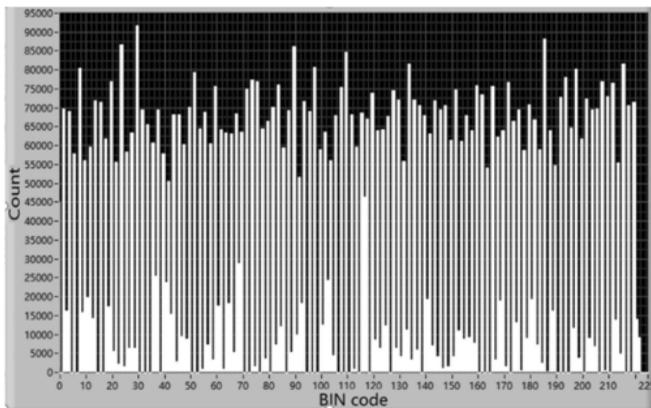


图 6 码密度法测试在 LabVIEW 前面板中显示结果

从图 6 中可以看出,从第 1 道开始有计数,到第 221 道为止,有效道数为 220 道。故分辨率可以由式(1)简单估算:

$$LSB = \frac{T_{clk}}{N_{有效}} = \frac{10\,000\text{ ps}}{220} = 45.4\text{ ps} \quad (1)$$

但是从图 6 中可以明显看出,测试结果的奇偶性非常明显,相邻道的计数存在很大差距,甚至有的 BIN 出现了计数为 0 的情况。道与道之间的计数差异过大,无疑会给系统的线性造成极大的影响^[12]。对数据进行线性分析,其微分非线性为 $-1\text{ LSB} \sim +1.47\text{ LSB}$,积分非线性为 $-0.68\text{ LSB} \sim +1.44\text{ LSB}$, $LSB=45.4\text{ ps}$ 。显然,这是一种失码的现象,这样的线性度不能满足设计需要。

通过查阅大量论文及资料,发现基于 Cyclone III 和 Cyclone IV 系列 FPGA 在进行码密度测试时均存在这一情况。出现这一现象的原因是加法器输出的进位结果在输入解码单元之前还需先输入触发器锁存,保证加法器输出能够被同时锁存并且采集,直到下一个全局时钟到来才会进入解码单元进行解码。在理想情况下,每一级加法器的延时单元到触发器之间的延时都完全相同,可以认为各级进位单元到触发器这段走线延时相互“抵消”,最终输入到解码单元的数据时间差仅和延时单元本身有关。但实际上加法器的延时单元到触发器是存在延时的,而且延时的时间甚至远大于进位延时时间,如图 7 所示。不同进位单元对应的触发器输入端延时不一致的,触发器内部的传输延时也不一致^[13-14]。

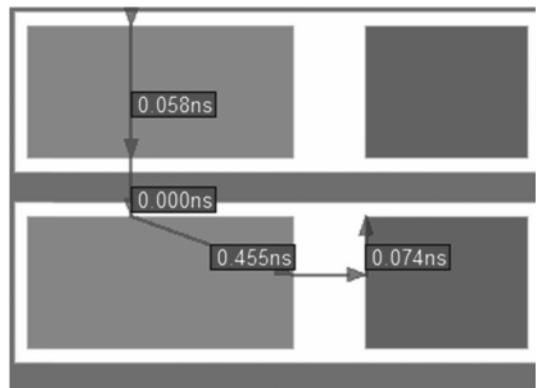


图 7 进位链以及触发器的延时仿真结果

虽然相邻 LE 中进位单元到触发器的输入端延时以及触发器传输延时不一致,但是从第一级起的奇数 BIN 和偶数 BIN 的结构是一致的,若将相邻奇偶道计数合并相加,可以得到较好的 BIN 宽一致性。故本文采用了并道的方法处理。并道处理数据后的码密度测试统计结果如图 8 所示。

通过上面的统计结果可以对进位链进行逐级标定,得到信号落在各级延时单元的累计时间,如图 9 所示。

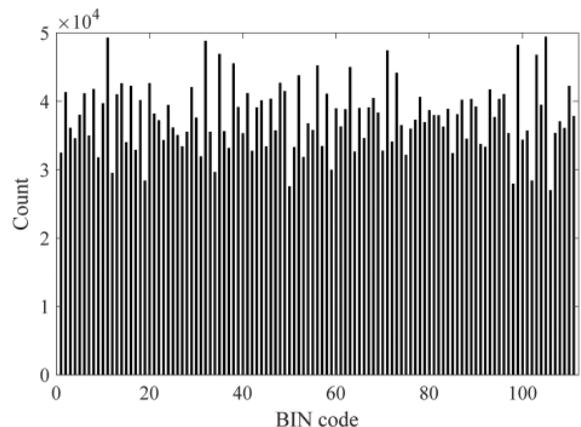


图 8 并道处理后码密度测试图

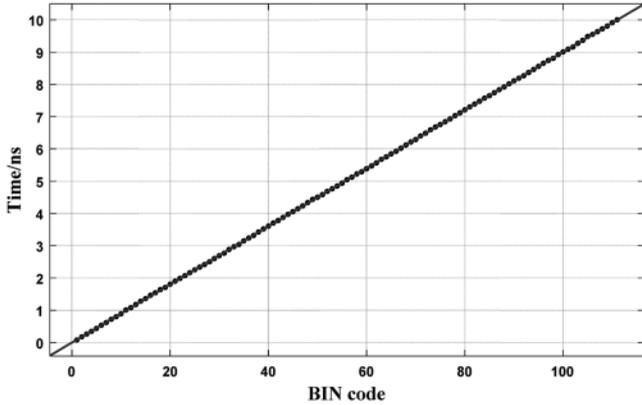


图9 落在各级延时单元中的累计时间

根据数据拟合出的一次函数斜率为0.900 8,故可认为本设计的分辨率为90.08 ps。

4.2 线性测试

如图10、图11所示,并道处理前,系统的微分非线性为 $-1 \text{ LSB} \sim +1.47 \text{ LSB}$,积分非线性为 $-0.68 \text{ LSB} \sim +1.44 \text{ LSB}$,每个 $\text{LSB}=45.4 \text{ ps}$,转化为时间得微分非线性为 $-45.4 \text{ ps} \sim +66.73 \text{ ps}$,积分非线性为 $-30.87 \text{ ps} \sim +65.38 \text{ ps}$ 。

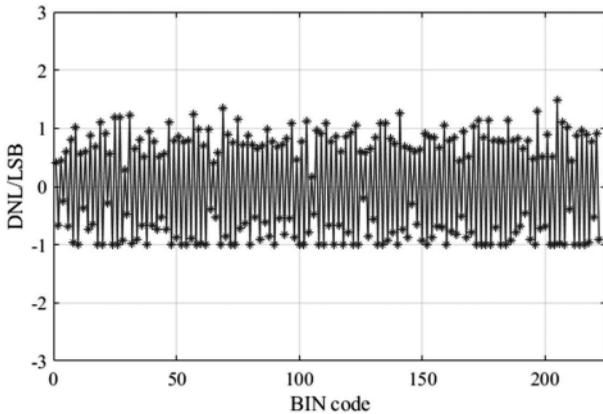


图10 并道处理前微分非线性

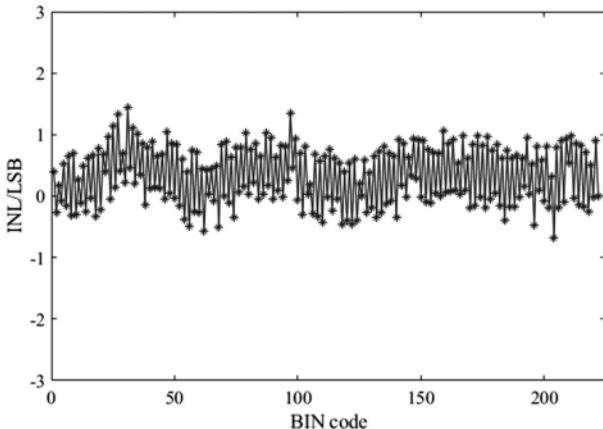


图11 并道处理前积分非线性

并道处理后,系统的微分非线性和积分非偶性如图12、图13所示。系统的积分非线性范围是 $-0.34 \text{ LSB} \sim$

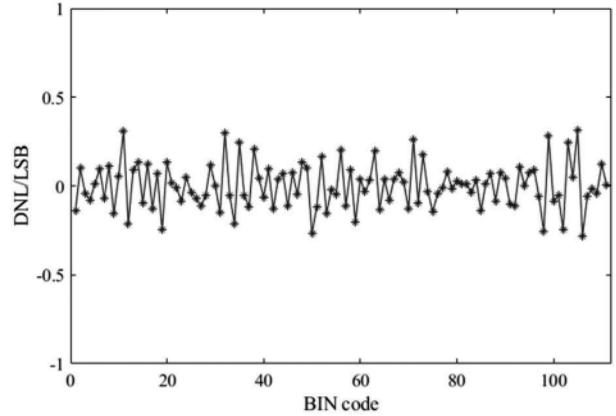


图12 并道处理后微分非线性

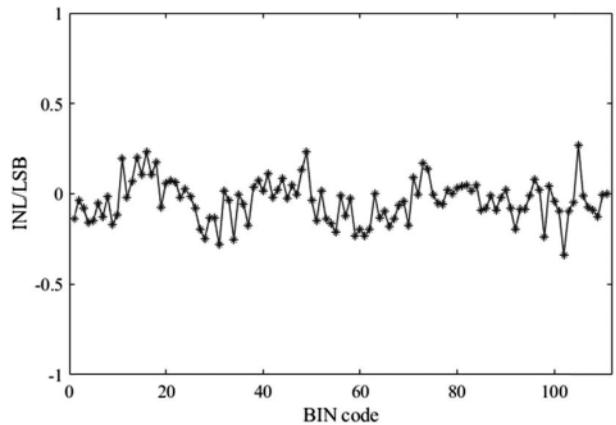


图13 并道处理后积分非线性

$+0.27 \text{ LSB}$,微分非线性范围是 $-0.28 \text{ LSB} \sim 0.31 \text{ LSB}$, $\text{LSB}=90.08 \text{ ps}$,转化为时间得微分非线性为 $-25.2 \text{ ps} \sim +27.92 \text{ ps}$,积分非线性为 $-30.63 \text{ ps} \sim +24.32 \text{ ps}$,微分非线性降低了52.6%,积分非线性降低了42.9%。

4.3 精度测试

对系统输入时间间隔相同的一组脉冲信号,然后对结果进行高斯拟合,以45 ps为一个BIN,计算其标准差,可以反映出TDC系统的精度。采用Keysight 33600A信号发生器的输入周期信号作为输入信号测试,结果如图14所示,计算后可以得到标准差 $\text{std}=33.54 \text{ ps}$ 。

4.4 多脉冲时间间隔应用测试

测试方法是采用Keysight 33600A信号发生器的输入作为输入信号测试。Start信号和Stop都设置为固定周期的周期性方波脉冲,在测试时间固定后,只会某些固定的时间道上有大量计数。可知每个Stop信号之间的时间间隔相同,设Start和第一个有效Stop信号之间间隔为 ΔT ,Stop信号的周期为 T_{stop} ,则Start信号与第 n 个Stop信号之间的间隔 T_n 可以由式(2)计算:

$$T_n = \Delta T + (n-1)T_{\text{stop}} \quad (2)$$

以上位机设置脉冲数为5和9时为例进行测试,输入随机个数的周期脉冲后测试结果如图15、图16所示。可以看到分别在5个道和9个道上存在明显计数

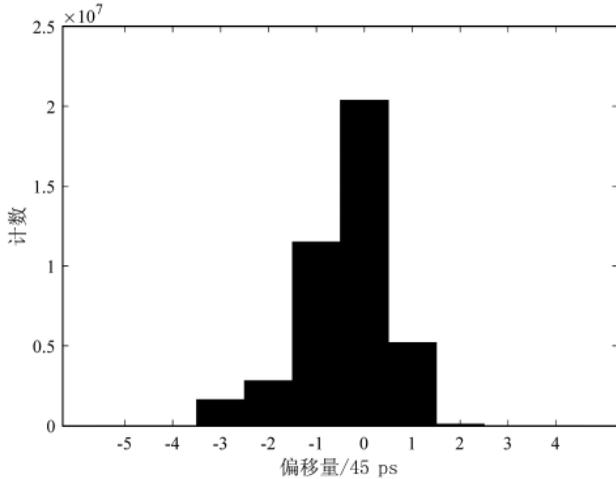


图 14 精度测试高斯拟合结果

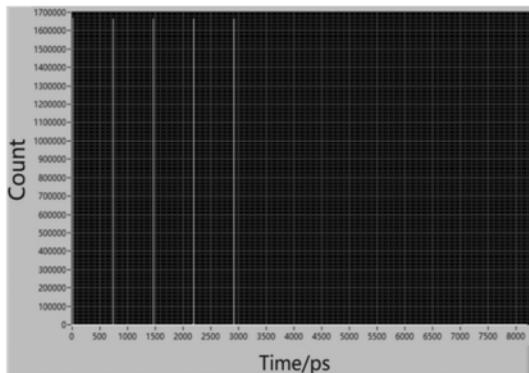


图 15 设置 5 个 stop 信号在 LabVIEW 前面板中的显示结果

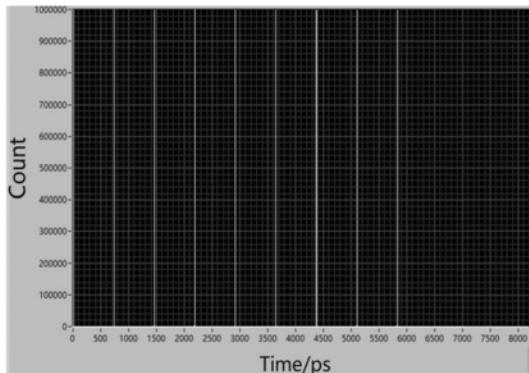


图 16 设置 9 个 stop 信号在 LabVIEW 前面板中的显示结果

值,与预设相符。

5 结论

本设计完成了一个基于 Altera Cyclone III EP3C55-F484C6 FPGA 的皮秒级时间数字转换系统,通过上位机可以配置实现多时间间隔测量。本文首先介绍了设计原理,然后介绍了技术路线。经过实物测试,系统功能完备,动态范围可以通过粗计数单元扩展。通过基于码密度法的测试,结合并道处理,系统最终分辨率为 90.08 ps,测量精度可以达到 33.54 ps,积分非线性范围是 -0.34 LSB~

+0.27 LSB,微分非线性范围是 -0.28 LSB~0.31 LSB,微分非线性降低了 52.6%,积分非线性降低了 42.9%。该系统可以应用于高精度多待测目标的时间信息检出实验中。

参考文献

- [1] 郭建华.北京谱仪(BESIII)飞行时间读出电子学系统设计与实现[D].合肥:中国科学技术大学,2007.
- [2] Xu Zhongyang, Tang Liangzun, Zhang Hongxiang, et al. Simultaneous real-time ranging and velocimetry via a dual-sideband chirped lidar[J]. IEEE Photonics Technology Letters, 2017, 29(24): 2254-2257.
- [3] PARSAKORDASIABI M, VORNICU I, RODRÍGUEZ VÁZQUEZ Á, et al. A low-resources TDC for multichannel direct tof readout based on a 28-nm FPGA[J]. Sensors, 2021, 21(1): 308.
- [4] CHARLOT N F, GAUTHIER D J, POMERANCE A. High-resolution waveform capture device on a Cyclone-V FPGA[J]. IEEE ACCESS, 2021, 9: 146203-146213.
- [5] 杨洋, 阮爱武, 廖永波, 等. 针对 FPGA 优化的高分辨率时间数字转换阵列电路[J]. 电子技术应用, 2011, 37(2): 42-45.
- [6] 宋健. 基于 FPGA 的精密时间-数字转换电路研究[D]. 合肥: 中国科学技术大学, 2006.
- [7] 翟倩倩, 唐海峰, 马琨. 基于脉冲星脉冲信号的航天器导航系统[J]. 电子技术应用, 2016, 42(9): 62-64, 68.
- [8] MATTADA M P, GUHILOT H. Time-to-digital converters—a comprehensive review[J]. International Journal of Circuit Theory and Applications, 2021, 49(3).
- [9] 宋至一. 基于 LABVIEW FPGA 的某应答机测试系统研制[D]. 哈尔滨: 哈尔滨工业大学, 2021.
- [10] 蔡东东. 进位链时延分割及标定方法的 FPGA 设计与实现[D]. 西安: 中国科学院大学(中国科学院国家授时中心), 2019.
- [11] 尹文芹, 施韶华, 刘音华, 等. 基于 FPGA 实现 TDC 的布局布线优化方法研究[J]. 时间频率学报, 2018, 41(1): 27-36.
- [12] 姚远. 可重构核仪器框架和应用研究[D]. 合肥: 中国科学技术大学, 2015.
- [13] 潘维斌. LHAASO 实验高精度时间测量系统研究[D]. 北京: 清华大学, 2014.
- [14] 吴杰. Wave Union TDC 的实现及在 MVT 数字闪烁探测器的集成[D]. 武汉: 华中科技大学, 2019.

(收稿日期: 2022-03-25)

作者简介:

刘琛昊(1997-), 男, 硕士研究生, 主要研究方向: FPGA 开发与验证。

金革(1960-), 通信作者, 男, 博士, 教授, 主要研究方向: 核探测与核电子学、高能粒子物理, E-mail: goldjin@ustc.edu.cn。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所