

基于 EMIF 总线接口的桥芯片设计

沈 婧,陶青平,强小燕

(中国电子科技集团公司第五十八研究所,江苏 无锡 214035)

摘 要: EMIF 是 DSP(数字信号处理器)器件上的外部存储接口,基于 TMS320VC5510 电路的 EMIF 接口,提出了一种桥芯片的设计方法。该桥芯片包含了多个低速外设如 I²C、UART 以及 SDIO 接口,同时集成了 IDO、ADC 模拟 IP,设计进行了充分的 EDA 仿真和 FPGA 验证,并进行了流片验证,实装测试结果表明 EMIF 接口可与桥芯片通信无误,实现了 TMS320VC5510 电路的外设扩展功能。该桥芯片的设计方法大大增加了市场上 SoC 设计的灵活性,有效地降低了设计周期,节约了设计成本。

关键词: EMIF;DSP;桥芯片;硅验证;SoC 设计

中图分类号: TN402

文献标志码: A

DOI:10.16157/j.issn.0258-7998.222892

中文引用格式: 沈婧,陶青平,强小燕. 基于 EMIF 总线接口的桥芯片设计[J]. 电子技术应用, 2023, 49(1): 36-40.

英文引用格式: Shen Jing, Tao Qingping, Qiang Xiaoyan. Design of bridge chip based on EMIF bus interface[J]. Application of Electronic Technique, 2023, 49(1): 36-40.

Design of bridge chip based on EMIF bus interface

Shen Jing, Tao Qingping, Qiang Xiaoyan

(NO.58 Research Institute of China Electronics Technology Group Corporation, Wuxi 214035, China)

Abstract: EMIF is an external storage interface on a DSP (digital signal processor) device, and this paper proposes a bridge chip design method based on the EMIF interface of the TMS320VC5510 circuit. The bridge chip contains low-speed peripherals I²C, UART and SDIO interface, while integrating IDO, ADC analog IP. This design has been fully EDA simulation and FPGA verification, and tapeout for silicon verification. The implementation test results show that the EMIF interface can communicate with the bridge chip without error, and realize the peripheral expansion function of the TMS320VC5510 circuit. The design method of this bridge chip greatly increases the flexibility of SoC design on the market, effectively reduces the design cycle, and saves design costs.

Key words: EMIF;DSP;bridge chip;silicon verification;SoC design

0 引言

DSP 是固件系统重要的核心技术,又加之嵌入式的基础技术,使其再次成为了现代电子应用技术的重要核心技术之一。

TMS320VC5510 是常用的高性能低功耗定点数字信号处理器电路(下文简称 C55x DSP),片上 EMIF 接口是一个并行存储接口,设计初衷是实现 DSP 与不同类型的外部扩展存储之间的连接^[1]。为了使得 DSP 资源得到最大的扩展,本文利用 EMIF 总线接口设计了一款 ASIC 桥芯片。该芯片将 EMIF 时序转换为片内 AMBA 总线的 AHB/APB 时序,从而实现 DSP 对 ASIC 片内资源的访问^[2]。

1 桥芯片设计方案

1.1 总体设计方案

方案设计时考虑硬件资源的可复用性^[3],C55x DSP 与 ASIC 桥芯片共用电源、地以及复位,并且通过 C55x DSP 电路对 EMIF 接口模式、数据地址位宽、时钟频率及读写控制信号进行配置,完成与 EMIF 外部存储空间即 ASIC 桥芯片的数据通信,实现 C55x DSP 对 ASIC 桥芯片上的资源访问。

ASIC 桥芯片的设计原理图如图 1 所示,图中还展示出了 ASIC 桥芯片与 C55x DSP 的硬件连接关系,正是通过 DSP 的 EMIF 总线接口实现两个芯片之间的通信。

从图 1 中可以看出,ASIC 桥芯片包含了丰富的外设模块,为了实现 C55x DSP 对这些外设资源的访问,转接

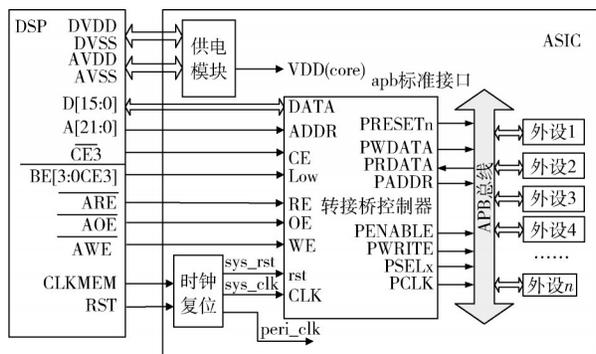


图1 ASIC设计原理框图

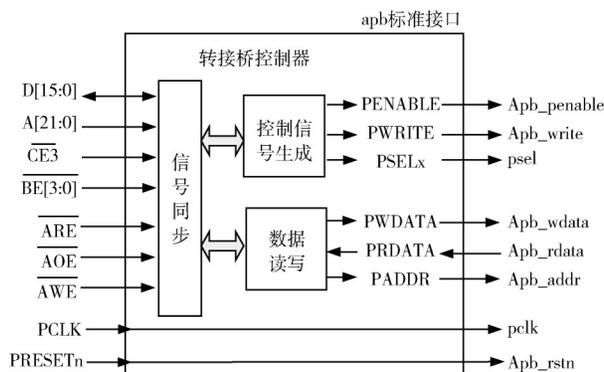


图2 转接桥控制器设计原理图

桥控制器、供电以及时钟复位这3个主要模块的设计是必不可少的。

转接桥控制器是本设计的关键,DSP 是否能够实现与 ASIC 之间的数据通信,该控制器模块至关重要,它实现了 EMIF 数据接口与 APB 总线之间的时序转换,完成了 DSP 与 ASIC 之间的数据读写操作以及 ASIC 地址空间的分配。

供电模块是 ASIC 桥芯片工作的必要条件,如图 1 中所示,ASIC 桥芯片的供电与 C55x DSP 采用同样的外部电源,供电模块中集成了一个 LDO,实现 ASIC 芯片内核 1.2 V 供电。

时钟复位模块采用 EMIF 的时钟 CLKMEM 作为 ASIC 时钟输入,经过时钟同步、使能以及分频,作为 ASIC 片上外设资源的时钟。复位信号则硬件上与 C55x DSP 相连,同步复位。

下面将详细介绍这3个模块的设计和实现方式。

1.2 转接桥控制器设计

如图 1 中所示,本设计中 C55x DSP 的 EMIF 接口采用的是异步通信接口,可通过配置 EMIF 来进行外部异步存储的访问。而 ASIC 桥芯片是一款同步电路,片内外设资源均是基于 APB 总线同步设计。为了能够通过 EMIF 异步接口顺利访问 ASIC 片上外设资源,本设计中转接桥控制器模块的设计就显得尤为重要,模块设计原理图如图 2 所示。该控制器模块不仅仅完成总线、控制信号、时钟复位信号时序的转换,数据读写过程中位宽的设计也是该模块的重要一部分。

如上文所述,EMIF 异步接口信号进入 ASIC 桥芯片后,需要经过时钟同步处理后方可使用,而同步的时钟采用的正是 EMIF 的输出时钟 CLKMEM,该时钟可由 DSP 配置为主频时钟或 1/2 主频时钟,本设计配置为主频时钟。

1.2.1 控制信号设计

C55x DSP 的 EMIF 异步接口有 3 个 CE 空间,本设计选用了 EMIF 的 CE2 外部空间,CE2 所对应的外部地址空间为 0x800000-0xC00000,当该空间使能信号 $\overline{CE2}$ 为

低电平时,此地址空间可以进行读写访问。因此在进行 ASIC 桥芯片设计时需将 $\overline{CE2}$ 作为芯片使能,并将该信号与控制总线和地址总线联合译码,当该信号使能后,芯片才进入正常工作状态。

\overline{AWE} 、 \overline{AOE} 、 \overline{ARE} 为 C55x DSP 的 EMIF 异步读写控制信号,当 \overline{AWE} 信号为“0”时代表 EMIF 向外部存储写入数据,当 \overline{AWE} 为“1”且 \overline{AOE} 、 \overline{ARE} 为“0”时,代表 EMIF 从外部存储中读取数据。

以 EMIF 异步写操作为例,详细讲述控制信号的设计方法。EMIF 异步写时序和 APB 写操作时序图分别如图 3^[4]和图 4^[5]所示。图 3 中的信号在上文中已经详细介绍过,图 4 为标准的 APB 写操作时序,下面介绍 APB 信号的实现方法。

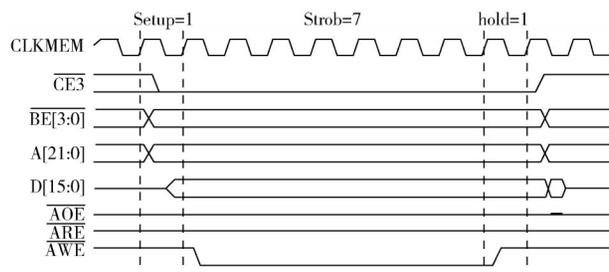


图3 DSP EMIF 异步写时序

PWRITE 信号为 APB 总线的写控制信号,当该信号为“1”时代表一次写入,当该信号为“0”时代表一次读出。该信号的生成需要分为读和写两部分,当写入时可由同步后的 \overline{AWE} 和 $\overline{CE2}$ 共同生成,当这两个信号同时为低电平时,则 PWRITE 为“1”,写使能打开;当读出时由同步后的 \overline{AOE} 、 \overline{ARE} 和 $\overline{CE2}$ 共同生成,当这三个信号同时为低电平时,则 PWRITE 为“0”,读使能打开。

PSEL 是各 APB 从机的选择信号,当 PSEL 信号为“1”时代表外设模块被选中,该信号使用高位地址位来进行译码生成,生成方式如图 5 所示。

根据图 4 的时序设计,PENABLE 信号需在 PSEL 有效后使能,并保持一个周期的有效时间,该信号可用时

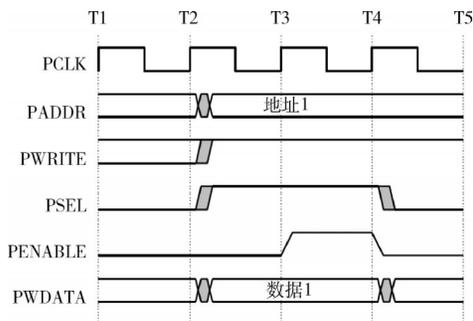


图4 ASIC (APB)写操作时序图

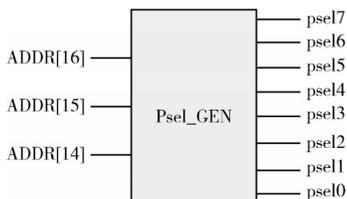


图5 PSELx信号译码逻辑

钟将 PSEL 信号延迟一拍得到。

1.2.2 数据设计

C55x DSP 的 EMIF 数据总线支持 8、16、32 位数据位宽,而地址引脚的使用取决于数据的宽度,其对应关系如表 1 所示。而 ASIC 桥芯片的外设资源采用的是 32 位数据访问,为了减少 ASIC 芯片 IO 引脚的数量,同时考虑数据传输的效率,综合考虑后将 EMIF 配置为 16 位数据位宽,根据表 1 的对应关系得出地址引脚 A[21:1]为有效位。

表 1 地址引脚与数据位宽对应关系

数据位宽	地址引脚
8 位	A[21:0]
16 位	A[21:1]
32 位	A[21:2]

正如上文所述,C55x DSP 与 ASIC 桥芯片之间通信的数据是需要经过位宽处理的,数据位宽处理在 ASIC 桥芯片中完成,32 位 APB 数据总线的设计如图 6 所示。C55x DSP 的 EMIF 配置为 16 位数据访问后,当需要进行 32 位数据传输的话,数据会分成 2 次传输,每次传输 16 位,而地址信号 A1 可作数据传输高/低的判断信号。

以写入数据为例,若 32 位数据从 EMIF 写入 ASIC 桥芯片,数据会分两拍分别输出低 16 位数据和高 16 位数据,当 A1=0 时,EMIF 与 ASIC 之间传输低 16 位数据,当 A1=1 时,传输高 16 位数据。L16 数据寄存器用来存储 EMIF 第一拍发送过来的低 16 位数据,等 EMIF 第二拍发送来的高 16 位数据到达,即 A1 为 1 后,再一起发送给 APB 总线。读数据的过程类似,EMIF 先接收 APB 低 16 位数据,其次是高 16 位,当检测到 A1=1 时,代表 EMIF

读操作完成。

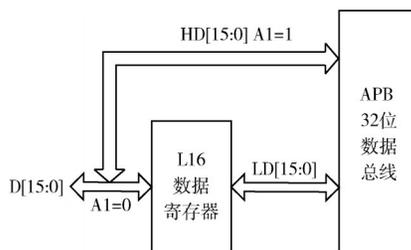


图6 APB数据总线设计

1.3 时钟复位设计

ASIC 电路的时钟输入为 CLKMEM,该时钟具有较强的可配置性,可由 DSP 芯片灵活配置。

CLKMEM 时钟进入 ASIC 芯片后经过时钟同步单元生成系统时钟 sys_clk, RST 信号经过 sys_clk 同步生成系统复位信号。

如图 7 所示,sys_clk 经过使能后直接送给各外设模块,除了 ADC 模拟部分电路,该部分电路设计时会加入分频电路,满足 ADCCLK 的设计需求。

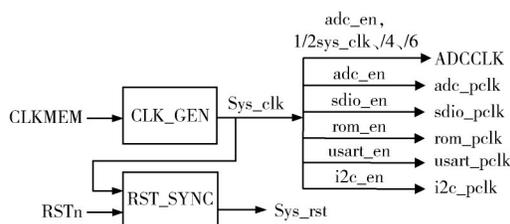


图7 时钟复位设计框图

1.4 供电设计

ASIC 电路与 DSP 共用数字/模拟电源和地,如图 1 所示,ADC 直接由 DSP 的 3.3 V 模拟电源 AVDD 和模拟地 AVSS 提供 power,而 3.3 V 数字电源 DVDD 经过 LDO 进行电平转换,生成 1.2 V 内核供电 VDD,为数字外设供电,最大负载可达 120 mA。

2 版图设计

本设计版图设计布局如图 8 所示,图中标出了模拟 IP 的物理位置,版图的大小由 I/O 布局决定,版图面积为 19.48 mm²。

3 测试结果

本设计测试分为两个阶段,首先是在 tapeout 之前进行的 FPGA 原型验证,其次是 ASIC 芯片回片后的实装测试。

3.1 FPGA 原型验证

FPGA 原型验证已是当前原型验证的主流且成熟的芯片验证方法——设计通过将 RTL 移植到现场可编程门阵列 (FPGA) 来验证 ASIC 的功能。设计使用 Xilinx 公司 K7 系列 FPGA,验证流程如下:

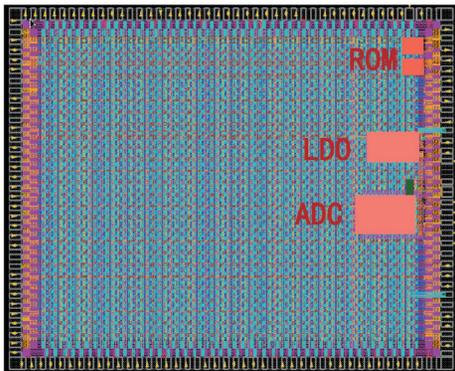


图8 ASIC版图示意图

(1) 设计输入

采用EDA仿真工具NC-Verilog对RTL设计进行充分仿真,检验设计的功能是否正确。

(2) FPGA综合

采用综合工具Synplify将RTL代码翻译成FPGA网表,并根据约束条件优化所生成的门级逻辑连接,输出edf和edn等文件。

(3) 布局布线

采用FPGA厂商提供的工具Vivado进行布局布线,进行ASIC芯片内部功能单元的实际连接和映射。

(4) 板级调试

在完成以上步骤后,会生成BIT文件进行板级调试。

主控软件运行在DSP芯片中,完成各个控制信号和配置数据的产生、数据格式转换以及配置时序的控制等工作^[3]。通过EMIF控制寄存器设置数据总线为16位宽,使能 $\overline{CE2}$ 外部地址空间,并配置如图3中所示的Setup、Strobe以及hold时间。外部输入时钟使C55X DSP工作在50 MHz频率下,即CLKMEM频率为50 MHz。

当DSP主控和ASIC桥芯片完成所有配置后,C55X DSP就可以启动对ASIC片上资源的访问。图9展现了ASIC桥芯片在C55X DSP的主控下完成的UART数据发送功能。当ASIC芯片工作后,使能UART模块,通过DSP主控对UART寄存器进行数据写操作,配置UART为发送模式,并先后完成UART数据(0x23h、0x55h、0x120h)的发送。



图9 FPGA仿真-UART发送功能

3.2 实装测试

在芯片出带到回片的这段时间里,FPGA验证为实装测试做好了充分的准备,测试程序开发均采用CCS软件设计平台,程序不需要进行环境的移植;硬件系统以FPGA为验证平台,采用主板加子板的总体结构^[5],FPGA既可以将ASIC网表与DSP连接验证,也可以作为载体将DSP与ASIC芯片连接进行实装测试。

本设计的实装测试硬件平台如图10所示,主板FPGA将DSP 5510的EMIF异步接口、时钟复位以及电源、地与ASIC芯片连接,子板上则集成了其他外设辅以ASIC和DSP完成相应的调试功能。

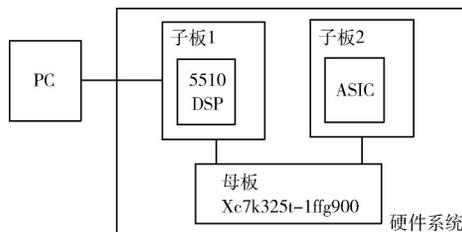


图10 实装测试硬件平台

在设计中,采用DSP集成开发环境CCS^[7]对ASIC芯片进行实测。使用FPGA原型验证阶段开发的验证程序完成ASIC各功能模块的测试,并与FPGA原型验证的结果进行了比较,发现除模拟模块无法进行FPGA原型验证外,其他外设测试结果与原型验证结果一致。

4 结论

本文基于TI 55系列DSP电路的EMIF接口实现了桥芯片ASIC的设计,该方法实现了DSP电路的外设功能扩展。该ASIC芯片集成了串行、并行数据接口以及模拟模块等,经过FPGA原型验证后于某工艺线流片,并通过与DSP的实装测试验证了ASIC芯片中的各模块均可与DSP成功通信,这增加了SoC设计的灵活度。在实际应用时,可考虑将ASIC和DSP进行叠片封装设计,实现SoC芯片的功能。

参考文献

- [1] 孔石,王春雷.基于EMIF16模块的TMS320C6678与FPGA接口设计与实现[J].航空兵器,2015(1):35-38.

- [2] 张海金,张洵颖,张丽娜,等.一种EMIF接口与AHB/APB时序桥接电路及其控制方法:107085560[P].2017-04-28.
- [3] 于长海.基于EMIF总线的FPGA动态配置方案设计与实现[J].计算机与网络,2020(7):64-68.
- [4] TI. TMS320VC5510/5510A Fixed-point digital signal processors[Z].2007:56-57.
- [5] ARM Co.Ltd.AMBA™ Specification (Rev 2.0)[Z].1999:171-172.
- [6] 朱英,陈诚,许晓红,等.一款多核处理器FPGA验证平台的设计与实现[J].计算机研究与发展,2014, 51(6):

1295-1303.

- [7] 赵慧民,朱立.基于DSP CCS 2.2实现指纹识别预处理系统[J].电子技术应用,2005(7):65-66.

(收稿日期:2022-04-20)

作者简介:

沈婧(1988-),女,硕士研究生,高级工程师,主要研究方向:数字信号处理器、低功耗微控制器设计。

陶青平(1985-),男,硕士研究生,工程师,主要研究方向:FPGA应用、人工智能与模式识别。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所