

基于FPGA的多通道ARINC429总线测试系统

孙 鹰, 秦旭军

(中国电子科技集团公司第四十七研究所,辽宁 沈阳 110000)

摘要: ARINC429是一种可靠性高、抗干扰能力强的航空通信总线,在航空工业领域得到了非常广泛的应用。提出了一种基于FPGA以及总线接口芯片的系统应用方案,设计了一款多通道、用于ARINC429总线接口的测试系统,意在实现具备ARINC429总线设备的自动化测试并提高测试效率。着重阐述了系统的架构设计、FPGA的逻辑设计、总线接口芯片的硬件设计以及时序的分析与设计,最后对接口芯片的时序、ARINC429总线的信号质量、系统功能进行了验证与测试。经测试,系统进行多通道收发时数据可靠,在不同速率下通信稳定。

关键词: FPGA; NIOS II; PCI总线; ARINC429总线

中图分类号: V216.8

文献标志码: A

DOI: 10.16157/j.issn.0258-7998.222949

中文引用格式: 孙鹰,秦旭军. 基于FPGA的多通道ARINC429总线测试系统[J]. 电子技术应用,2023,49(1):119-123.

英文引用格式: Sun Ao, Qin Xujun. Multichannel ARINC429 bus test system based on FPGA[J]. Application of Electronic Technique, 2023, 49(1): 119-123.

Multichannel ARINC429 bus test system based on FPGA

Sun Ao, Qin Xujun

(47th Research Institute of China Electronics Technology Group Corporation, Shenyang 110000, China)

Abstract: ARINC429 bus is one of the aviation communication buses. It has the characteristics of high reliability and strong anti-interference ability, and is widely used in the aviation industry. This paper designs a multi-channel ARINC429 bus board with FPGA as the main control chip and bus interface chip. The purpose is to achieve automated testing and provide testing efficiency. This paper focuses on the design of FPGA, the application of interface chip and architecture design. Finally, the timing of the selected interface chip, the actual signal quality of ARINC429 bus and the overall function of the system are tested. The actual test shows that the board can communicate reliably at different rates and the data is stable.

Key words: FPGA; NIOS II; PCI bus; ARINC429 bus

0 引言

目前,有大量的机载设备在使用ARINC429总线进行数据交互,为提高具有ARINC429接口设备的测试效率,降低开发成本,本文基于FPGA强大的并行处理能力、丰富的I/O接口资源以及半定制化的设计理念,利用NIOS II软核处理器,结合FPGA的可编程逻辑端,设计了一款多通道ARINC429总线测试系统。系统通过PCI接口与计算机通信,完成被测设备与计算机的数据交互,实现ARINC429总线接口的自动化测试。

由于PCI总线以及ARINC429总线协议相对复杂,本设计采用了成熟的总线接口芯片^[1-2],降低了系统的开发难度,其中PCI接口选用了PCI9054芯片,ARINC429接口选用了HI-3584、HI-3182芯片。即使PCI总线的设计采用了接口芯片,但PCI9054芯片的功能还是非常繁多,对此本文介绍了设计中PCI9054芯片选用的模式、数据位宽等基本参数信息,此外重点对EEPROM的使用方法、读/写操作的时序分析以及调试过程中的注意事项进行了详细阐述,希望能够达到抽丝剥茧的目的。

1 硬件架构设计

本设计中系统有4路ARINC429发送通道以及8路接收通道,计算机可对板卡的各个数据通道进行参数配置、状态读取、使能收/发数据等操作。采用可编程逻辑端(以下简称逻辑端)与NIOS II处理器相结合的开发方式^[3],逻辑端主要负责PCI、ARINC429等外设芯片的驱动层逻辑,NIOS II软核处理器主要负责完成系统业务层功能,硬件功能框图如图1所示。

上位机收发ARINC429数据时,SRAM作为上位机

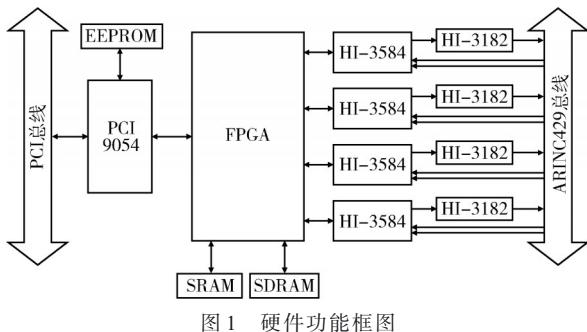


图1 硬件功能框图

和板卡之间的数据缓冲区,通过PCI总线实现上、下位机的数据交换^[4],FPGA将数据存储在SDRAM中,FPGA中的软核处理器按照上位机的指令完成ARINC429数据收发、状态维护、参数配置等功能^[5]。

板卡硬件资源主要由FPGA、PCI接口芯片、电源、SRAM、SDRAM、ARINC429控制器及其驱动器组成^[6-7]。为适应不同的应用场景,本设计采用SDRAM作为板卡的ARINC429数据存储区并分成12块,分别对应4路发送及8路接收通道。

2 FPGA设计

由于系统功能复杂并且互连所需的I/O数量多,因此选用的FPGA型号是Altera公司的EP4CE30F23C7N,其内部有28 848个逻辑单元,可用的GPIO最多可达328个,满足设计要求。

设计时在Quartus II软件中创建工程,并用硬件描述语言实现外设芯片的逻辑功能,使其满足芯片的时序要求。然后使用集成工具Qsys搭建基于NIOS II处理器以及相关功能IP核的SOPC系统,本设计所用的IP核有PIO、中断、定时器、SRAM及SDRAM控制器等。在Quartus II软件中创建顶层文件,将逻辑端的模块与NIOS II处理器的端口在顶层文件进行例化实现互连^[8]。FPGA内部逻辑主要由PCI9054逻辑块、SRAM逻辑块、HI-3584逻辑块以及NIOS II处理器组成,框图如图2所示。

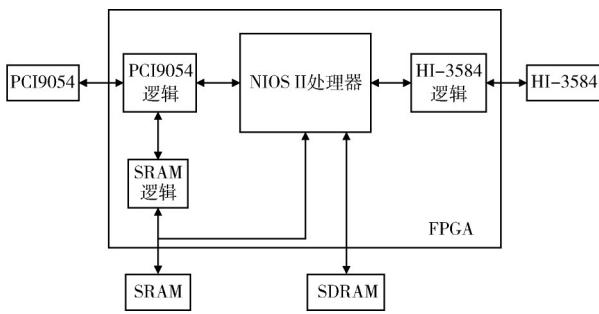


图2 FPGA逻辑框图

PCI接口的传输速度较快,并且本设计采用32位数据位宽,而板卡上的SDRAM读写速度较慢,数据位宽是16位,两者传输速度相差很大,系统无法实时地将PCI

总线上的数据写入SDRAM中,因此选用一片SRAM解决读写速度相差过大的问题^[9]。SRAM读写速度快,当上位机向板卡写入数据时,FPGA先将PCI总线上的数据暂存在SRAM中,在上位机发送数据完成后,FPGA再将数据存入SDRAM,读取数据反之亦然。

考虑到上位机收发数据与ARINC429收发数据都需要使用SDRAM,涉及的仲裁、决策、状态判断比较复杂,用硬件描述语言来实现相对困难,因此设计中使用NIOS II处理器来完成SDRAM相关业务。此外,考虑到PCI总线读写速度较快,设计中采用逻辑端控制PCI接口芯片与SRAM的数据交互。NIOS II处理器与ARINC429的各个收发通道之间用逻辑端分别设计了FIFO,它将自动控制接口芯片收/发数据。对NIOS II处理器而言收/发ARINC429数据只需要访问相应FIFO即可,减小了处理器的使用率。

3 PCI接口设计

PCI接口开发常见的有两种:一种是采用CPLD或FPGA来实现,采用这种方法时需要购买相应的IP核,用户可采用比较简单的逻辑实现PCI总线的通信,但成本较高。另一种是采用PCI接口芯片,例如PLX公司的PCI9054、PCI9052^[10],这种方法可大幅度降低设计难度,开发者无需投入大量时间研究总线协议的详细内容,接口芯片在系统中充当“桥”芯片的作用,可缩短系统的开发周期,同时成本相对也低很多。

本设计采用了第二种方法,采用了PLX公司的PCI9054作为PCI接口芯片^[11],该芯片具有成熟度高、成本低的特点。PCI9054芯片按功能可分为3类接口:PCI总线接口、本地总线接口以及EEPROM接口。PCI总线接口用于完成PCI协议相关的功能,与计算机的PCI总线互连,当PCI9054配置好后PCI总线上的操作由该芯片来完成。本地总线接口负责PCI9054与FPGA之间的数据交互。EEPROM接口负责读取外部EEPROM的配置信息,这些配置信息是PCI9054的寄存器参数,系统上电后PCI9054通过EEPROM进行参数配置,设计中选用的型号是93LC56B。

当EEPROM为空时需要特别注意,否则可能会出现操作系统无法启动或者启动后无法找到板卡的问题。EEPROM的烧录有多种方式,本设计使用PLX公司提供PLXMon软件进行烧录。首次烧写时,需要将93LC56B的DI、DO引脚下拉,同时PCI9054的TEST引脚也下拉,这样操作系统上电后会按照PCI9054内部的默认参数进行配置。操作系统正常启动后DI、DO引脚上拉,然后通过PLXMon软件进行烧录即可。EEPROM正确烧录后,DI、DO引脚保持上拉即可。

本设计中PCI9054采用C模式,本地总线采用32位数据总线,单次读/写、DMA或突发传输模式。在PCI总

线侧,PCI9054会根据寄存器的配置自动响应总线信号,而本地总线的控制需要在FPGA上实现。本地总线主要涉及的信号有:LHOLD、LHOLDA、ADS#、BLAST#、LW/R#、LA[31:2]、LD[31:0]、READY#,其中对于FPGA来说关键的输出信号是LHOLDA以及READY#。

单次写操作时序图如图3所示,首先由PCI9054使能LHOLD信号来申请使用本地总线,FPGA拉高LHOLDA信号来做应答。然后PCI9054驱动LW/R#信号,指示本次操作是读还是写。在ADS#信号出现下降沿时,表示地址总线LA[31:2]已经有效可用。在ADS#信号出现上升沿时,由PCI9054驱动的数据总线LD[31:0]上出现有效数据,此时READY#需要开始输出低电平脉冲作为响应信号。在数据总线输出最后一个数据时,PCI9054驱动BLAST#输出低电平脉冲。FPGA检测到BLAST#有上升沿时,驱动READY#由低电平变成高电平,以此表示本次的写操作完成。

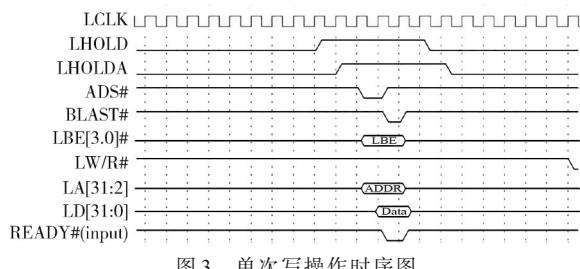


图3 单次写操作时序图

单次读操作时序图如图4所示,与写操作类似,但需要注意的是LW/R#信号是低电平,并且数据总线需要由FPGA来驱动。

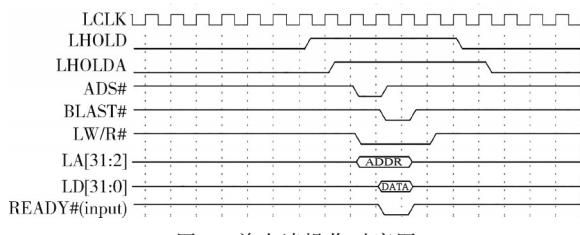


图4 单次读操作时序图

不论写操作还是读操作,地址总线都是由PCI9054驱动,这是因为本设计中PCI总线通信的发起者是计算机,在读、写数据时计算机作为主机给出地址。

此外,突发模式以及DMA模式的时序与此类似,重

点是LHOLDA、READY#信号以及对数据总线的控制。经过多次调试发现如果LHOLDA、READY#信号响应不及时会导致计算机死机。

4 ARINC429 接口设计

ARINC429总线协议是由美国航空电子工程委员会制定的一种机载总线规范,该总线具有性能稳定、架构简单以及可靠性高等优点,已广泛应用于民用、军用飞机的航电系统中。

本设计中ARINC429接口的控制器采用HOLT公司的HI-3584芯片,驱动器采用HI-3182芯片。HI-3584具有两路接收和一路发送通道,发送端需要驱动器才能连接在ARINC429总线上,每个通道各自有独立的FIFO。FPGA与HI-3584的数据总线是16位的,通过2次数据交互将16位数据变为32位ARINC429数据^[12]。在FPGA侧来看,收/发ARINC429数据相当于操作常规FIFO,使用起来非常方便。

HI-3182芯片的供电需要+5V、±15V,它将HI-3584发送端的逻辑电平转换为ARINC 429电平。在使用时注意它的调速电容,总线工作在100 KB/s时,推荐选用75 pF;工作在12.5~14 KB/s时,推荐选用500 pF。

发送数据时,FPGA驱动PL1n输出低电平脉冲,HI-3584接收第一个16位数据,再驱动PL2n输出低电平脉冲,HI-3584接收到第二个16位数据后TX/R会变为低电平,表示FIFO已经不为空。FPGA检测到TX/R为低电平后拉高ENTX,HI-3584会将FIFO中的数据逐个发出。FPGA拉低ENTX后发送数据结束,写入FIFO以及发送数据的时序图分别如图5及图6所示。

接收数据时,FPGA检测到D/Rn为低电平,先拉低SEL驱动ENn输出低电平脉冲,接收第一个16位数据。然后拉高SEL再次驱动ENn输出低电平脉冲,接收第二个16位数据,时序图如图7所示。

5 验证与测试

5.1 时序验证

在SignalTap II逻辑分析仪下观测到的PCI9054以及HI-3584的时序分别如图8~图11所示,可见设计的时序与芯片手册相符。

5.2 ARINC429 总线波形测试

ARINC429总线在12.5 KB/s、100 KB/s下的实测波形如图12、图13所示。由图中可见信号的上升沿、下降

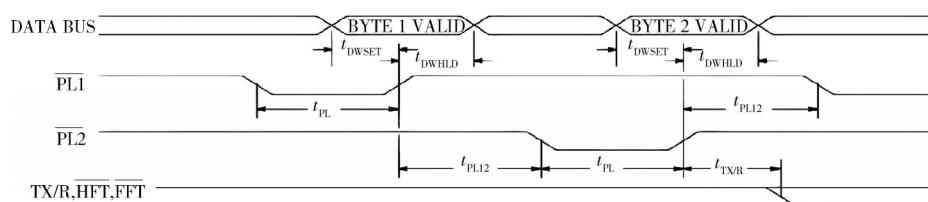


图5 写入 FIFO 时序图

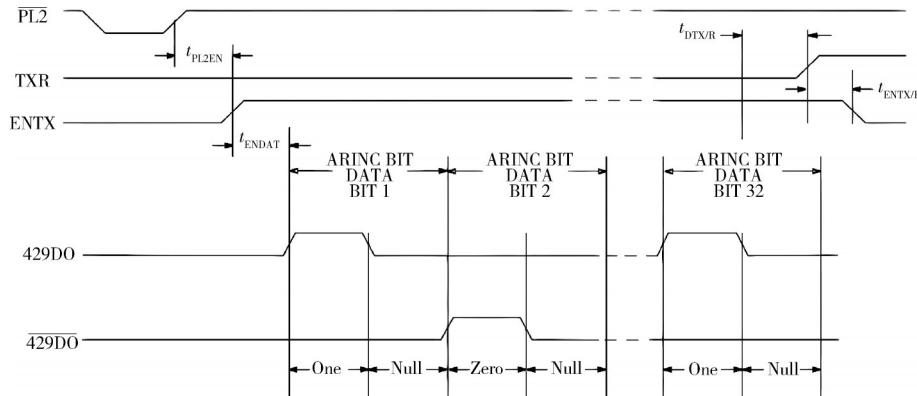


图 6 发送数据时序图

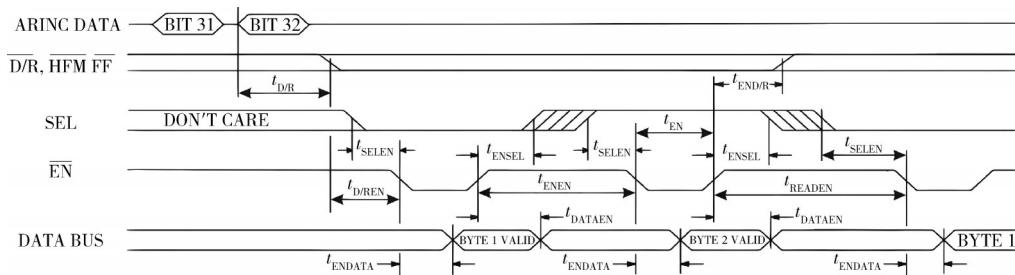


图 7 接收数据时序图

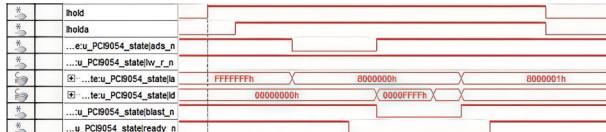


图 8 PCI9054 写操作实测时序图

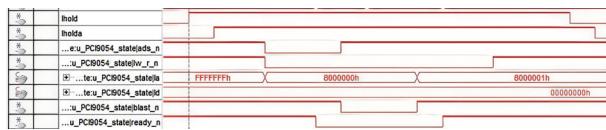


图 9 PCI9054 读操作实测时序图



图 10 HI-3584 写入 FIFO 实测时序图

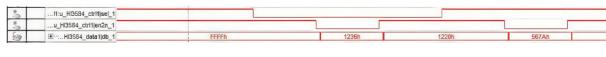


图 11 HI-3584 接收数据实测时序图

沿具备单调性,无明显过冲、振铃等严重失真现象,信号的保持时间较长,满足信号完整性方面的要求。

5.3 系统整体测试

为验证系统的功能及实用性,本设计对系统进行了整体测试,上位机界面如图 14 所示。测试前需要在界面中加载配置文件以及数据文件。配置文件包括系统的主要参数配置,包括中断方式、缓冲区大小、发送/接收时间间隔、总线速率等。数据文件包含了 ARINC429 总线的测试数据。

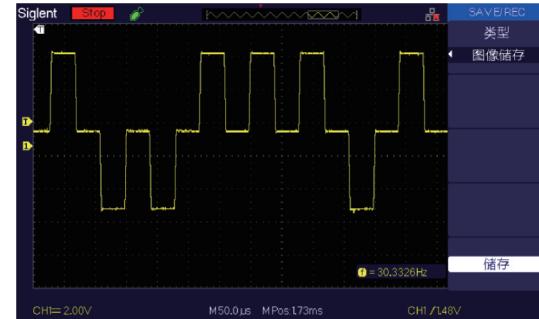


图 12 12.5 KB/s 下的实测波形图

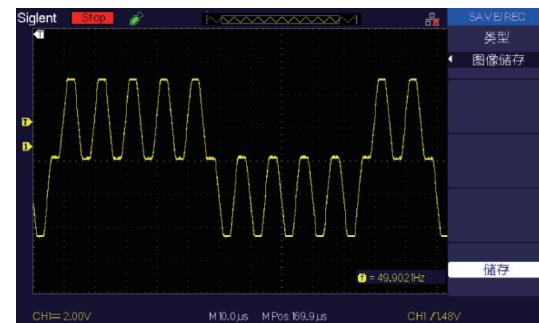


图 13 100 KB/s 下的实测波形图

测试时,板卡的 ARINC429 总线接口与被测设备的发送、接收接口互联。上位机通过 PCI 总线将测试数据传送给板卡,板卡再将数据传送给被测设备。被测设备接收数据后,将数据通过板卡传回上位机,以此实现回环测试。上位机将发送数据与接收数据进行对比,全部相同则判定相应的通道为合格。

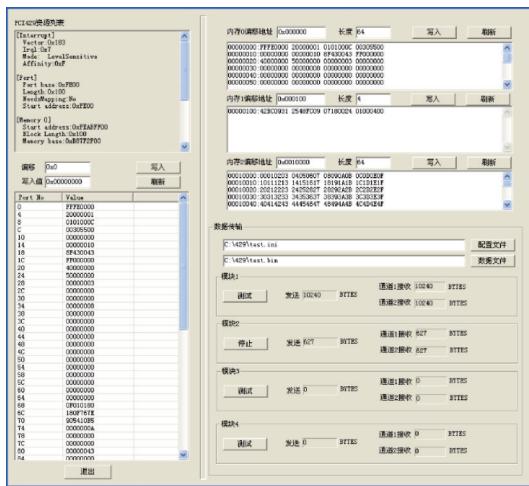


图 14 上位机界面

本设计对 ARINC429 总线的 4 路发送、8 路接收通道分别在 12.5 KB/s、100 KB/s 下做了 1 000 次的通信测试，均合格。

6 结论

本设计研究了 PCI 总线以及 ARINC429 总线的软硬件设计，通过 FPGA 作为主控芯片，PCI9054、HI-3584 作为接口芯片，从工程应用角度出发，实现了计算机和 ARINC429 总线设备的高效、多通道通信，并可配置成多种模式，适用于大多数 ARINC429 接口设备的测试。本设计对 PCI 总线及 ARINC429 总线的互联、测试具有指导性意义，提高了 ARINC429 接口设备的测试效率，降低了系统开发难度。

经验证测试，系统在不同的 ARINC429 总线速率下都可以稳定、可靠工作，并具有成本低、高可靠性、开发周期短等特点，具备实际应用意义。

参考文献

[1] 李声飞.一种基于FPGA的多功能ARINC429总线接口[J].

信息技术与信息化,2016(12):48-51.

- [2] 曾锋,冯宇.基于FPGA的ARINC429协议设计[J].现代电子技术,2015,38(18):92-94.
- [3] 范啸恬,刘昌富,魏浩然,等.一种基于Nios II的全自动板卡测试系统研制[J].计算机与数字工程,2018,46(6):1246-1250.
- [4] 李拥祺,周强,张秀磊.基于PCI总线的CAN—ARINC429实时监控卡软件设计与开发[J].电子设计工程,2018,26(6): 95-99.
- [5] 杜晶晶,胡建萍,黄继业.基于FPGA的ARINC429数据传输接口设计[J].微电子学与计算机,2005,22(10):113-115.
- [6] 何文涛,周浩.基于PCI总线数据采集系统的设计与实现[J].中国仪器仪表,2020,6(1):79-83.
- [7] 高成金,肖明清.基于FPGA的1553B-ARINC429总线转换器设计[J].电子测量技术,2007,30(2):189-193.
- [8] 付扬,李成.基于Nios II软核的音频播放系统设计与实现[J].现代电子技术,2020,43(10):59-62.
- [9] 杨晓宁,黄保垒,卫一凡.高安全电子设备中RAM测试算法的设计与实现[J].航空计算技术,2020(6):113-115.
- [10] 夏润秋,刘洋.基于FPGA的PCI总线红外图像采集系统设计[J].液晶与显示,2018,33(9):772-777.
- [11] 虞亚君,姚尧,邵春伟,等.PCI9054的PCI接口通用收发模块设计[J].单片机与嵌入式系统应用,2021(11):71-73,78.
- [12] 杨庆华,高梦赞,屠晓伟.基于HI-3593的ARINC429总线数据监控设计[J].自动化仪表,2020,10(41):70-73.

(收稿日期:2022-05-09)

作者简介:

孙骜(1988-),男,硕士,工程师,主要研究方向:嵌入式硬件设计。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所