

# 多态性PCIE桥扩展芯片的设计和硅后验证

邓佳伟, 王琪, 张梅娟, 张明月, 杨楚玮

(中国电子科技集团公司第五十八研究所, 江苏 无锡 214060)

**摘要:** 作为主流的总线协议, PCIE(Peripheral Component Interconnect Express)总线的应用场景越来越丰富, 连接的外围设备也越来越多。而无论桌面还是嵌入式的通用处理器上, PCIE控制器数量有限, 同时很多PCIE桥芯片的功能也很局限。为此设计出一款具备多态性的PCIE扩展桥芯片来扩展处理器PCIE处理能力。该芯片的多通路、高通量、多态性的属性有效弥补了传统处理器PCIE能力不足的缺点。方案通过硅后验证方法, 确定了芯片的可行性和稳定性, 方案也为后续具备更多通路和属性的PCIE扩展芯片提供了设计思路。

**关键词:** PCIE桥; 功能验证; 多态性; 芯片; 芯片设计

中图分类号: TN401

文献标志码: A

DOI: 10.16157/j.issn.0258-7998.223026

中文引用格式: 邓佳伟, 王琪, 张梅娟, 等. 多态性PCIE桥扩展芯片的设计和硅后验证[J]. 电子技术应用, 2023, 49(2): 20–25.

英文引用格式: Deng Jiawei, Wang Qi, Zhang Meijuan, et al. Design and post-silicon verification of polymorphic PCIE bridge expansion chip[J]. Application of Electronic Technique, 2023, 49(2): 20–25.

## Design and post-silicon verification of polymorphic PCIE bridge expansion chip

Deng Jiawei, Wang Qi, Zhang Meijuan, Zhang Mingyue, Yang Chuwei

(The No.58 Research Institute of China Electronics Technology Group Corporation, Wuxi 214060, China)

**Abstract:** As a mainstream bus protocol, the application scenarios of PCIE(Peripheral Component Interconnect Express) bus are more and more abundant, and the peripheral devices connected on the bus are also increasing. On both desktop and embedded general-purpose processors, the number of PCIE controllers is limited, and the functions of many PCIE bridge chips are also very limited. A polymorphic PCIE expansion bridge chip is designed to extend the processor's processing capability. The chip's multi-channel, high-throughput, polymorphic attributes effectively make up for the shortcomings of the traditional PCIE processor. The scheme determines the feasibility and the stability of the chip through the post-silicon verification method, and also provides a designed idea suitable for the follow-up PCIE extended chip.

**Key words:** PCIE bridge; functional verification; polymorphism; chip; chip design

## 0 引言

PCIE是一种高速串行计算机扩展总线标准,由Intel在2001年提出,旨在替换老旧的PCI、PCI-X的总线标准。

PCIE属于高速串行点对点双通道高带宽传输,所连接的设备分配独享通道带宽,不贡献总线带宽,主要支持主动电源管理、错误报告、端对端的可靠性传输、热插拔等功能。PCIE有多种规格,从PCIE x1到x32。

芯片流片完成后,硅后系统测试开始,验证人员依照系统集成的顺序从底层单元开始测试。验证前,需将芯片测试开发板结合起来,或将芯片驱动程序编程到开发系统。随后和设计人员和验证人员沟通。一旦验证出现问题,需要验证人员评判缺陷情况,从软件层面给

出是否有可行补救方案。如果芯片存在最终无法避免的缺陷,该缺陷严重影响芯片功能,就需要在下个芯片周期中去修复该问题<sup>[1]</sup>。

多态性指的是多种表现形态,指同一事物通过不同的执行方式实现了不同内容的行为。换言之,同一个芯片通过不同的执行流程,最后形成了不同的芯片功能。

### 1 PCIE总线架构

#### 1.1 PCIE总线拓扑

PCIE总线系统存在着多种种类的设备,有根聚合体RC(Root Complex), PCIE转换桥SWITCH, 端节点EP(Endpoint)。这几种设备组成了完整的PCIE拓扑结构<sup>[2]</sup>。

RC 的作用:处理器连接到 RC, RC 负责完成 CPU 的内部地址域到 PCIE 内部的总线域之间的转换,同时实现了各种总线的数据汇合。实现了从 CPU 地址总线域到 PCIE 域地址、PCIE 域到 CPU 地址总线域的双向映射。RC 同时具备以下属性:

(1) RC 是 I/O 层次结构的根节点,连接 CPU 的 Memory 内存子系统到 I/O 子系统,实际为 PCIE 总线结构中的主桥;

(2) 一个 RC 可以支持多个 PCIE 端口,每个端口有独立的 I/O (In/Out) 层次结构域,独立的 I/O 层次结构域下连接一个单独的 EP,或者连接一个 SWITCH 组件,SWITCH 下连接一个以上的 EP;

(3) I/O 层次结构域通过 RC 进行点对点 (Peer to Peer) 的对等网络传输功能是可选的;

(4) RC 作为事务请求者时,支持的包类型有配置请求 (configuration request)、IO 请求 (I/O request) 和锁定请求 (locked request)。

SWITCH 的作用:SWITCH 的内部由多个 PCIE-to-PCIE 虚拟桥设备组成,用于扩展 PCIE 的总线端口,实现多设备互连,内部逻辑实现了数据路由寻址转发、仲裁等功能。SWITCH 具备以下属性:

(1) SWITCH 转接桥由两个以上的 PCI-to-PCI 虚拟桥组成;

(2) SWITCH 桥使用 PCI 桥的数据传输机制实现了数据传递,其中最常用的基于地址的路由机制实现;

(3) SWITCH 桥必须支持在任何的端口之间传输任意类型的 TLP(Transaction Layer Packet) 数据包;

(4) SWITCH 桥上游端口作为发起方需要支持 Locked Request 请求,下游端口作为发起方时发起的 Locked Request 不需要支持;

(5) 使能的 SWITCH 桥端口需要遵循流控协议;

(6) SWITCH 桥不可将 TLP 类型的数据包分割成多个小数据包进行数据传输。

EP 的作用:EP 是 PCIE 体系中总线拓扑结构的根节点,担任的角色为传输的请求方或者结束方。EP 是指该 PCIE 设备只具有上游端口的一种 PCIE 设备。

## 1.2 PCIE 协议层次结构

PCIE 规范对设备的协议为分层结构,如图 1 所示,具体由事务层、数据链路层和物理层组成。每层都有发送和接收功能<sup>[3-4]</sup>。

发送端:发送端的应用程序在事务层组成事务层数据包 TLP (Transaction Layer Package),在发送缓存中向下层发送。在数据链路层,在 TLP 数据包中加附加信息,信息是对方接收到 TLP 数据包时错误检查时需要的,其数据链路层数据包 DLLP (Data Link Layer Package);在物理层,对 DLLP 数据包数据编码,通过链路中

的可用通道,从发送器发送出去<sup>[5]</sup>。

接收端:实际为发送端的反过程。接收端实际就是把发送端组合的数据包反向拆包,最后提取有用的数据信息给接收端设备的应用程序使用<sup>[6]</sup>。

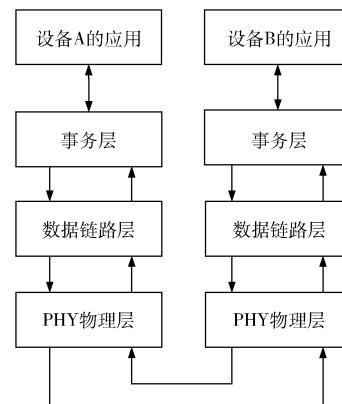


图 1 PCIE 协议层次结构

## 2 芯片设计架构

### 2.1 芯片整体设计

本芯片的主要逻辑包括桥芯片核心逻辑单元、上下游端口、配置逻辑单元、时钟单元、复位单元、电源管理单元等,如图 2 所示。

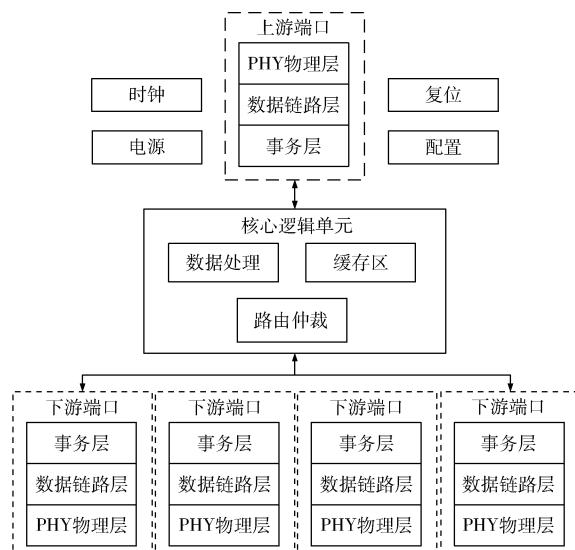


图 2 整体方案设计图

#### (1) 核心逻辑单元

核心逻辑单元包括数据处理、路由仲裁和缓存区子单元。其中数据处理子单元负责桥芯片核心数据处理逻辑,包括数据报文处理功能;路由仲裁子单元负责对每个传输数据包进行仲裁处理;数据处理完成后,按照数据包的目标地址,将数据包传送到指定的地址,进行路由;缓存区子单元负责将数据缓存<sup>[7-9]</sup>。

#### (2) 上下游端口单元

芯片上游端口有1个,下游端口支持4个,每个端口有PHY(Physical Layer)物理层、数据链路层、事务层,通过端口将数据接收和发送给上下游<sup>[10]</sup>。

### (3) 配置逻辑单元

芯片通过SPI配置接口,连接外部EEPROM。配置逻辑单元负责通过读取外部EEPROM,再解析EEPROM中的配置数据,最后通过配置数据重配置芯片,芯片根据不同的配置属性具备了更多的形态。芯片具备了多态性配置接口<sup>[11~13]</sup>。

### (4) 时钟单元

芯片上的时钟单元主要负责提供时钟信号给芯片上的各逻辑单元,桥芯片外部时钟输入有两个,一个是从金手指上获取的100~125 MHz时钟信号,还有一个是外部晶振提供的25 MHz时钟信号,芯片的时钟单元接收到外部信号后,通过时钟单元将时钟分频倍频,最后提供给每个逻辑单元<sup>[14]</sup>。

### (5) 复位单元

复位单元提供给芯片复位信号,芯片接收到复位信号后,重新启动芯片的逻辑,和各芯片子单元。

### (6) 电源单元

电源单元提供给芯片内部各逻辑子单元电源信号。

## 2.2 关键逻辑单元设计

### 2.2.1 核心逻辑模块设计

桥芯片核心结构主要完成了输入报文的头部解析和路由,输出报文的数据端口仲裁。

核心逻辑模块设计如图3所示。当数据从一个端口发送来数据后,端口接收单元接收数据,放到对应端口的数据缓存中,缓存数据调用数据解析和组合单元,同时将数据的相关信息提取起来,对数据进行仲裁,核心逻辑按照路由信息,将数据路由到对端端口上,通过数据解析和组合单元,将数据重新组合成数据包,发送到对端的端口收发单元,将数据发送出去<sup>[15]</sup>。

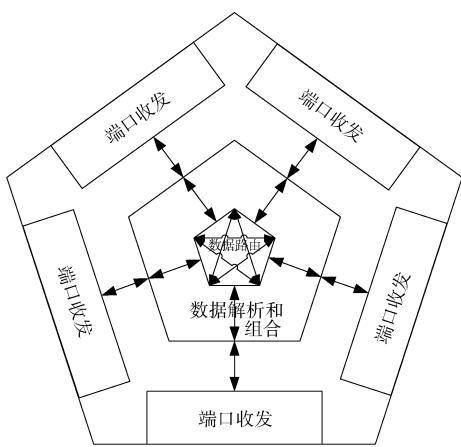


图3 核心逻辑模块设计

### 2.2.2 多态性配置单元设计

PCIE桥芯片通过配置接收单元的SPI接口连接外部EEPROM存储。在EEPROM可以按照约定的格式保存每个端口的配置信息。桥芯片上电过程中,读取EEPROM是否为空,不为空时开始配置。配置处理单元将数据解析后,分发给芯片核心逻辑单元和上下游端口。图4为配置单元设计图<sup>[16~17]</sup>。

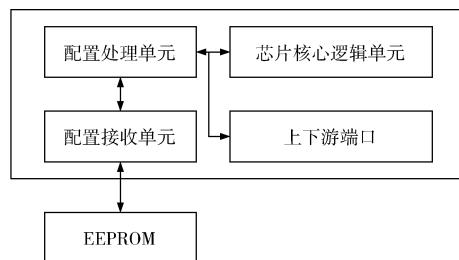


图4 配置单元设计

电路上电后,芯片初始化加载其步骤可总结如下:

- (1) 芯片上的配置单元在芯片加载过程中通过指令逐个命令访问EEPROM中的配置信息;
- (2) 读取EEPROM返回的配置信息后,将数据进行解析;
- (3) 将相应的配置信息反馈给芯片中寄存器;
- (4) 寄存器操作相关逻辑单元,逻辑单元进行处理;
- (5) 处理完毕后,整个配置过程结束。

## 3 具体验证方案设计及其实现

### 3.1 验证方案介绍

验证平台由通用Intel处理器平台(GIGABYTE测试主板)、PCIE桥芯片测试开发板、Intel公司的82571千兆网卡组成。通过Linux操作系统(CentOS7.0)和Linux网络测试工具iPerf验证芯片功能。图5为验证平台的整体方案设计。

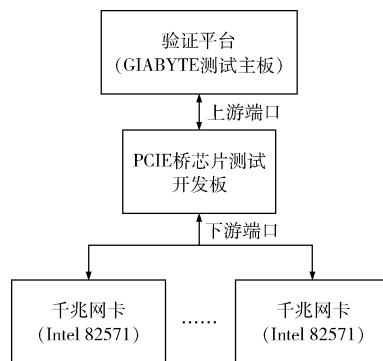


图5 验证平台的整体方案

### 3.2 验证方案具体电路设计

#### 3.2.1 PCIE桥芯片测试开发板整体电路设计

测试板卡主要包括以下几个部分:芯片时钟激励、

外部 EEPROM、复位按键、电源芯片、PCIE 卡槽和桥芯片,图 6 为测试开发板整体设计图。

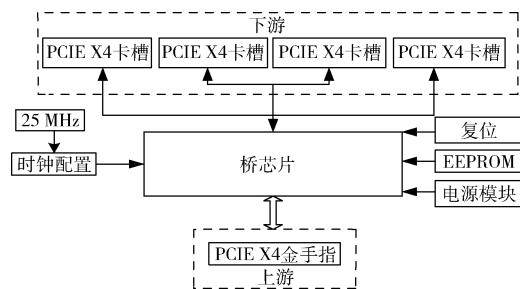


图 6 验证板卡电路整体设计

### 3.2.2 PCIE 桥芯片时钟电路设计

开发板时钟电路分为两个激励源,可以通过  $0\Omega$  电阻选焊方式确定输入方式,当通过晶振输入时,频率选择为 25 MHz,板卡可以通过金手指上从验证平台上直接输入 100 MHz 时钟信号。输入到时钟配置单元后,其主要提供给桥芯片的逻辑。图 7 为具体电路设计。

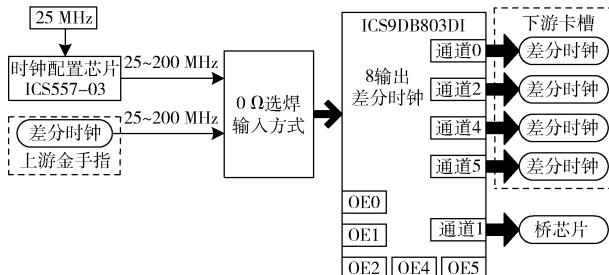


图 7 时钟电路设计

### 3.2.3 PCIE 桥芯片电源电路设计

电源电路设计中通过电源芯片提供不同的电压给芯片内部不同的电压。电源模块电路设计如图 8 所示。

## 3.3 验证方案软件设计

### 3.3.1 PCIE 设备枚举

Linux 系统会在系统上电过程中枚举 PCIE 所有总线下设备。通过主桥依次向下枚举,同时配置 PCIE 设备的配置空间。Linux 内核中枚举的关键步骤可总结如下<sup>[18-19]</sup>:

(1) 内核创建主桥(host bridge)的数据结构,将其注册到系统,注册的过程中创建一个根总线 bus0,将其挂

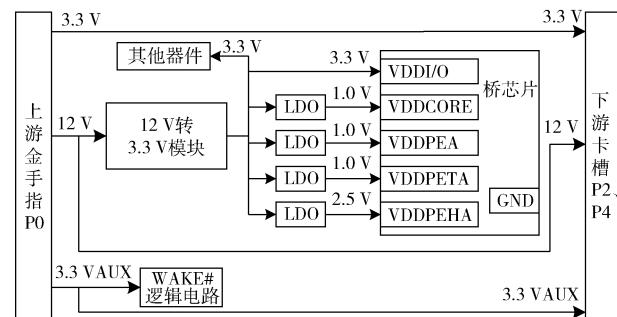


图 8 电源模块电路设计

载到主桥下,然后解析设备树,为总线分配资源和地址空间。

(2) 函数 pci\_scan\_child\_bus 开始,扫描总线下所有的设备和桥。

(3) 函数 pci\_scan\_child\_bus\_extend 分为两部分:扫描 PCIE 设备,每条总线下可分配 32 个设备,每个设备可最多 8 个功能,若配置空间版本号和设备号不为 0xff,创建 PCI\_DEV 设备,填充 PCIE 设备信息到数据结构中,再设置 PCIE 设备的 BAR(Base Address)地址寄存器,将设备树读到的 IO 空间分配给 PCIE 设备,再将设备注册到总线。扫描 PCIE 桥设备,当发现下一级桥设备时,继续创建总线,扫描该下一级总线下的设备,进行枚举,通过 DFS 枚举(Depth First Search)深度遍历算法,最终枚举出所有设备。

### 3.3.2 关键结构体

PCIE 设备在 Linux 枚举过程中涉及的主要结构体如表 1 所示。

## 4 硅后验证结果及其分析

### 4.1 测试现场图

图 9 显示了测试现场图,图中左侧的是验证平台,其通用 Intel 处理器平台(GIGABYTE 测试主板)。右侧的为 PCIE 桥芯片测试开发板。图中矩形框处,以太网线连接一台主机 PC。

图 10 为 PCIE 桥芯片测试开发板和 Intel 公司的千兆网卡组成测试子卡。图中有多种不同 PCIE 板卡,矩形框内为千兆网卡。

### 4.2 测试结果图

图 11 为验证平台上正常枚举所有桥端口的测试图。

表 1 关键结构体

结构体名称	结构体作用
pci_host_bridge	主桥数据结构,用来描述 CPU 的 PCIE 主桥抽象
pci_dev	描述 PCIE 设备,包括 EP 和桥等设备
pci_bus	该结构体用来描述 PCIE 的总线
list_head devices	设备链表用于描述总线下的所有设备。其中成员 ops 表示当前总线访问总线上设备的 read、write 方法
pci_slot	描述总线下的物理插槽

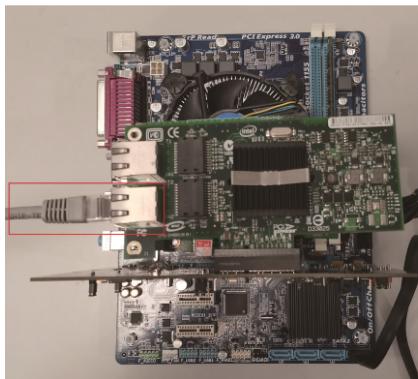


图9 测试现场图

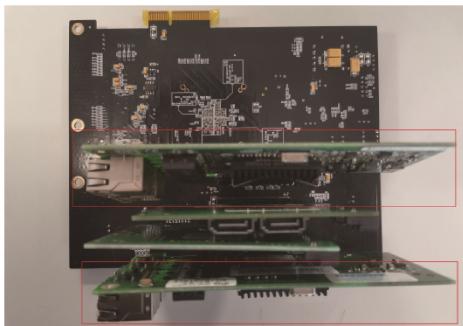


图 10 板卡实物图

```
cetc@localhost:~ - □
文件(F) 编辑(E) 查看(V) 搜索(S) 终端(T) 帮助(H)
[cetc@localhost ~]$ lspci -t
-[0000:00] +0.0
+ 01.0 -[01-06] ----00.0-[02-06] +-+01.0-[08]-+
| + 02.0 -[04-06]
| + 03.0-[05-06]
| \ 04.0-[06-06]
+ 02.0
+ 16.0
+ 18.0
+ 1b.0
+ 1c.0-[07]-+
+ 1c.4-[08]-----00.0
+ 1d.0
+ 1f.0
+ 1f.2
+ 1f.3
\ 1f.5
[cetc@localhost ~]$ □
```

图 11 下游 4 端口图

从图中可以看出4个下游端口。

图 12 为通过 EEPROM 重新配置芯片，当上电后，Linux 系统枚举得到的下游端口，在 EEPROM 中关闭了两路 PCIE 通道。

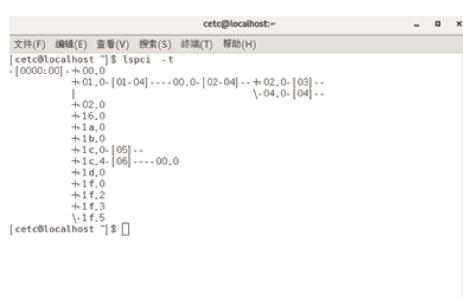


图 12 下游 2 端口图

图 13 为通过 EERPOM 重新配置芯片，当上电后，Linux 系统枚举后，查看下游 PCIE 速率能力，其已下降

到 PCIE1.0，速率为 2.5 Gb/s。

```

I/O behind bridge: 00000000-0001ffff
Memory behind bridge: ff000000-ffff0000
Prefetchable memory behind bridge: 00000000-ff00000000000000f01ffff
Secondary status: 60MHz: FastB2B_ParErr- DEVSEL=fast >Abort- <Abort- <Abort- <SERR- <PERR-
BridgeCtl: Parity- SERR- BusMaster- BusOff- Reset- FastB2B-
BusCtl: BusType- DeviceDir- DiscRst- DiscTmrSelRst-
Capabilities: [40] Power Management version 3
    Flags: PME_DSI D1 D2 AuxCurrent=0mA PME(D0+,D1-,D2-,D3hot+,D3cold+)
    Status: DO NoSoftReset- PME-Enable DSEL=0 DSCALE=0 PME-
Capabilities: [48] MSI: Enable=Comb1/1 Maskable- 64bit-
    Address: 00000000 Data: 41414141
Capabilities: [68] Express Port Number: Port (Slot#), MSI 00
    DevCap: MaxPayload 256 bytes PhantFunc 0
        ExtTag- RBE-
    DevCtl: ReclErrs- Correctable- Non-Fatal- Fatal- Unsupported-
        Errordr- ExtTag- PhyFunc- AuxPhy- NoSnoop-
        MaxPayload 256 bytes, MaxReadReq 128 bytes
    DevSta: ErrCorrErr FatalErr_ UncorrErr+AuxPwr- TransPEND-
LnkCap: Port #1 Speed 2.5G/s Width x2 ASPM L0s L1 Exit Latency 0us L0 <us, L1 <2us
        ClockPM Surprise=1 LinkPower=BW00- ASPMOpnComp-
LnkCtl: Enable=1 LinkMode=Normal Compl-
        ExtClock ClockPM AutoWidth=1 Int. AutoWidthInt-
LnkStsta: Speed 2.5G/s Width x2 TrErr- Train_SlotClock DLActive- BWMgmt- ABWMgmt-
SltCap: AttnInd= PvrtCtrl=MUL4 AttnInd=Prvrd+ HotPlug+ Surprise-
SltStsta: SLID #0, PowerLimit 25.0000, Interlock- NoCompl-
SltCtl: AttnInd=1 MRL Preset= Comp1 HPRIr LinkChg-
        Control AttnInd=1 Purge On Error=Interlock-
SltStsta: AttnInd= PowerFlt= MUL4 CmdPnt+PresDet= Interlock-
        Changed: MRL PresDet= LinkState-

```

图 13 EEROM 重新配置链路状态图

图 14 为通过 iPerf 测试，可以看到通过 INTEL 82571，网络数据通过 PCIE 桥后，数据可以通信，且速率可以到达千兆网卡的峰值。

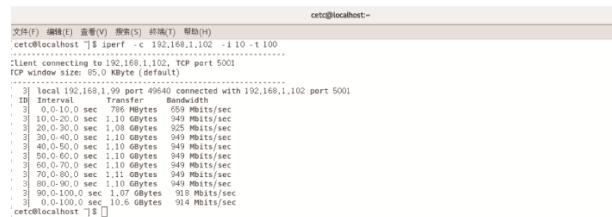


图 14 网络压力测试 PCIE 性能图

5 结论

随着PCIE类型的外围设备种类越来越多，传统的处理器在扩展高速接口的能力上已经捉襟见肘。具备多态性的PCIE扩展桥应运而生。

本芯片设计出一款多通路、高通量的四通道 PCIE 扩展桥，同时芯片内部的配置逻辑单元实现了芯片的多态性，使芯片具备了不同的属性适应不同的应用。芯片有效弥补了传统处理器能力不足的缺点，同时也为下一步设计更多通道的 PCIE 扩展芯片提供了技术支撑。

参考文献

- [1] 张博,刘子逸.基于PES32NT24AG2芯片的PCIe交换器的实现[J].工程实践及应用技术,2014,40(3):79-81.
  - [2] 任勇峰,杨圣龙,李辉景.基于FPGA的PCIE接口DMA传输设计与实现[J].实验室研究与探索,2019,38(2):121-125.
  - [3] PCISIG. PCI Express Base Specification 1.0a[S]. 2003 .
  - [4] PCISIG. PCI Express Base Specification 2.0[S]. 2006 .
  - [5] CORREIA M, SOUSA J. PCIe hot plug support standardization challenges in ATCA[J]. IEEE Transactions on Nuclear Science,2019,66(10):2282-2285.
  - [6] 芦俊,张国良,曹菁,等.一种基于PCI总线的数字图形发生器设计[J].电子与封装,2016,16(9):24-27.
  - [7] 邓发俊,武华,冯晓东.一种基于PCIe交换开关的多路

- FC 节点机设计与实现[J].电子技术,2016,45(4):60-62.
- [8] 何光旭,马文超,王彬.输出电容对 LDO 稳定性影响分析[J].电子与封装,2017,17(8):29-32.
- [9] 谢伟.基于 FPGA 的 DSP 原型验证与测试[D].西安:西安电子科技大学,2012.
- [10] 董观涛.雷达信号处理关键 IP 核的 FPGA 实现与验证[D].西安:西安电子科技大学,2015.
- [11] AMOS D, LESCA A, RICHTER R. FPGA-base prototyping methodology manual[M]. USA:Synopsys Inc., 2011.
- [12] 余何庆.基于 FPGA 的 SoC 原型验证平台设计与实现[D].西安:西安电子科技大学,2014.
- [13] 黄丹萍.基于 PCIe 的高速数据采集模块的软件设计与实现[D].成都:电子科技大学,2018.
- [14] 赵军,曾学文,郭志川.支持国产密码算法的高速 PCIe 密码卡的设计与实现[J].电子与信息学报,2019,41(10):2402-2408.
- [15] 马克杰.PCI Express 交换器 IP 核的设计与研究[D].济南:山东大学,2007.
- [16] 王丰.PCI-E 接口技术研究及其应用[D].哈尔滨:哈尔滨工业大学,2009.
- [17] 毕城,元永红.基于 PCIe 总线的多处理器数据交换技术[J].电子科技,2017,30(7):118-120.
- [18] 林凡森,刘鑫,陆晓峰.一种 PCIE 交换电路设计与实现[J].电子与封装,2021,21(3):48-52.
- [19] 李金龙.基于 PCIE 交换芯片 FPGA 原型验证平台设计[D].西安:西安电子科技大学,2017.

(收稿日期:2022-05-26)

**作者简介:**

邓佳伟(1987-),男,硕士,工程师,主要研究方向:嵌入式软件开发、系统级验证。

王琪(1992-),男,学士,工程师,主要研究方向:嵌入式软件开发、系统级验证。

张梅娟(1981-),女,硕士,高级工程师,主要研究方向:PowerPC 架构、IP 核验证、系统级验证。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所