

基于芯片封装的微系统模块 PDN 设计优化

袁金焕, 王艳玲, 殷丽丽, 杨巧

(西安微电子技术研究所, 陕西 西安 710054)

摘要: 随着 IC 芯片的供电电源趋向低电压以及大电流, 基于 2.5D 硅通孔技术(Through-Silicon-Via, TSV)、倒扣焊、高温共烧陶瓷(High Temperature Co-fired Ceramics, HTCC)、3D 堆叠等的微系统模块的电源分配系统(Power Delivery Network, PDN)的设计越来越重要。芯片电流经过 PDN 互连产生输出噪声, 这些互连必须提供一个较优低阻抗的信号返回路径, 保持芯片焊盘间恒定的供电电压且维持在一个很小的容差范围内, 通常在 5% 以内。基于芯片封装系统(Chip Package System, CPS), 结合 TSV 硅基板、HTCC 管壳、PCB 三级协同对微系统模块 PDN 提出设计及优化方法, 从直流设计、交流阻抗设计分别进行阐述, 并运用芯片电源模型(Chip Power Model, CPM), 结合时域分析实现了电源纹波 PDN 低阻抗设计。

关键词: TSV; HTCC; 微系统; PDN; 封装; CPS

中图分类号: TN402

文献标志码: A

DOI: 10.16157/j.issn.0258-7998.223036

中文引用格式: 袁金焕, 王艳玲, 殷丽丽, 等. 基于芯片封装的微系统模块 PDN 设计优化[J]. 电子技术应用, 2023, 49(2): 32-38.

英文引用格式: Yuan Jinhuan, Wang Yanling, Yin Lili, et al. PDN design optimization of micro-system based on package[J]. Application of Electronic Technique, 2023, 49(2): 32-38.

PDN design optimization of micro-system based on package

Yuan Jinhuan, Wang Yanling, Yin Lili, Yang Qiao

(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: As the power supply of IC chips tends to be low-voltage and high-current, the design of the Power Delivery Network (PDN) of the micro-system module is becoming more and more important, based on 2.5D Through-Silicon-Via(TSV), inverted solder, High Temperature Co-fired Ceramics(HTCC),3D stacking, etc. Chip currents generate output noise through PDN interconnects, which must provide a better signal return path with low-impedance to keep the supply voltage between chip pads constant within a small tolerance range, usually 5% or less. Based on Chip Package System(CPS), the paper proposes a design and optimization method for the micro-system module PDN based on the three-level synergy of TSV silicon substrate, HTCC cases and PCB. This paper expounds the DC design and AC impedance design respectively, and using the Chip Power Model(CPM) combined with the time domain analysis, realizes the low impedance design of the power ripple on PDN.

Key words: TSV; HTCC; micro-system; PDN; package; CPS

0 引言

随着微系统技术的快速发展, 其设计复杂程度不断提高。基于芯粒(Chiplet)的集成技术作为一种可以延续摩尔定律的解决方案, 将传统的系统级芯片划分为多个单功能或多功能组合的“芯粒”, 然后在一个封装内通过基板互连成为一个完整的复杂功能芯片^[3]。IC 裸芯片管脚数目、基板上集成的裸芯片和无源元件越来越多, 基板层数、布线密度、传递的信号频率均迅速提升^[4]。微系统性能提高使得电源完整性(Power Integrity, PI)和信号完整性(Signal Integrity, SI)问题日益突出, 直接影响到性能和工作可靠性。一款微系统设计完成后, 为了尽可能确保设计一版成功, 版图设计阶段采取有效的控制措施, 完整性仿真是必不可少的分析手段。必须提升设计分析技术来保障微系统设计的正确性, 实现设计即所得^[5]。

完整性分析包括由于互连、电源、器件等引起的所有信号质量及延时等问题, 故重在分析无源互连通道、电源分配系统(Power Delivery Network, PDN)、器件性

完整性分析包括由于互连、电源、器件等引起的所有信号质量及延时等问题, 故重在分析无源互连通道、电源分配系统(Power Delivery Network, PDN)、器件性

能等优化设计。由于芯片的开关速度提高和芯片功耗增加,在很大的高频瞬态电流需求的情况下需要满足PDN系统的噪声需求,既困难又重要。发送芯片—信号通道—接收芯片是一个系统概念,芯片封装设计需考虑系统级应用的影响^[6-7]。封装是芯片与PCB之间信息传递的桥梁,设计出高性价比的封装是一个有挑战性的工作^[8]。TSV硅基板和管壳要协同进行PI分析和优化;对于复杂的分部件均需要建模,并需要分析3D堆叠结构中如何更接近实际情况方可达到仿真精度的方法,进行针对性电源直流和交流分析,总结合格判定标准等。

此案例微系统模块采用2.5D TSV硅转接板、HTCC管壳工艺、3D立体封装,集成的IC芯片有:1片CPU(LCDSP1601ARH)、6片JFM29LV641RH(分两组,每组3层堆叠)、1片54HC138RH、1片JFM29LV160RH、1片LC801E。其中,CPU先倒扣焊于TSV硅通孔TSV板,再连接到管壳,其余芯片通过引线键合(Wire Bonding, WB)到管壳。该微系统模块应用到样机PCB上后,CPU的核电电源网络V1V2的PDN的完整路径为:样机PCB板供电芯片→PCB的PDN→微系统模块焊盘→HTCC管壳→TSV板PDN→芯片电源pad,见图1。针对核电V1V2电源网络低电压及大电流(1.2 V, 16 A)特点,进行PDN设计优化。

其中,TSV硅基板和HTCC管壳PDN包含电源/地平面、电容、过孔、走线、键合线或者凸点(solderbump)、焊球(solderball)等连接线;样机PCB板PDN包含电源/地平面、过孔、磁珠、电容等。

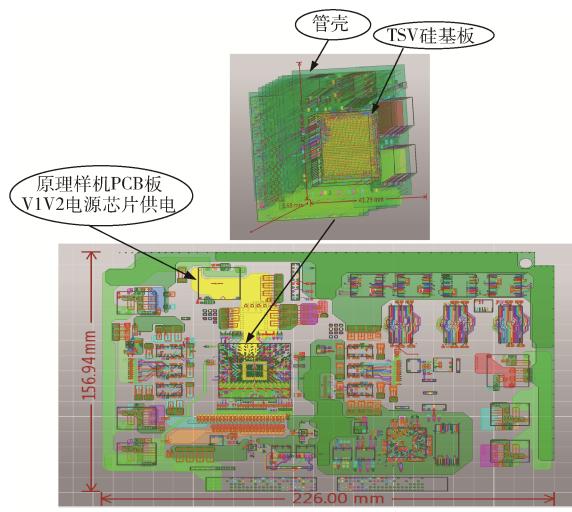


图1 LCDSP1601硅基板、管壳、样机PCB板示意图

仿真分别从TSV硅基板级、管壳级、样机PCB板级三个层级进行分析。通过电源直流压降(DC IR-drop)仿真分析,总结出不同层级下电源直流仿真的标准,以及TSV板、管壳跨层级综合仿真的优点;通

过频域PDN阻抗分析、基于LCDSP1601ARH的芯片功率模型(Chip Power Model, CPM)的电源时域纹波分析和去耦网络优化,实现PDN的宽频带低阻抗设计。

1 TSV板电源DC IRdrop设计优化

TSV硅基板能够使芯片在三维方向堆叠的密度大,外形尺寸小,大大改善芯片速度和降低功耗。但在布线过程中存在大量的平面层分割、不理想的电流路径、过孔和印制线路板上的信号线分布,PDN的直流供电会受到很大的影响^[9]。由于核电源较大,需要尽可能降低回路阻抗从而降低电压降。核电源均采用覆铜平面进行引出,并分配足够数量的TSV孔和引出PAD^[10]。通过DC IRdrop仿真可以分析直流供电网络的损耗情况,考察电源平面层的载流能力,仿真结果体现为:电源平面层的直流电压跌落、电流密度与电流方向、过孔电流等。LCDSP1601硅转接组件TSV板为5层板,3D模型及叠层见图2。



图2 LCDSP1601硅转接组件的3D模型图及叠层

根据负载芯片电流消耗情况,供电电压1.2 V,电流16 A,初次仿真TSV板的V1V2电源网络的DC IRdrop结果:最大压降5 mV,最大电流密度1 030 A/mm²,最大过孔电流TSV-30X2过孔,需通过电流227.8 mA。此时电流密度和过孔电流都较大,采取优化措施:对仿真数值结果较大区域增大铜皮覆设面积、增加过孔数量及过孔直径等,重新进行仿真,最大压降为0,最大电流密度187.6 A/mm²,最大过孔电流在TSV-30X2过孔,需通过电流62.65 mA,满足设计要求,见图3。TSV过孔电流判定见表1。

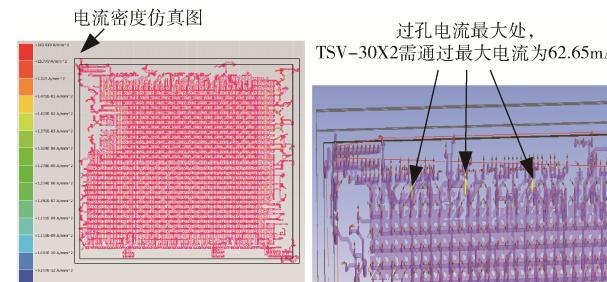


图3 TSV板V1V2的电流密度、最大过孔电流

表1 TSV板中Siwave软件中过孔电流判定

过孔名称	过孔直径/μm	过孔位置	Limit 电流/mA
D-M1-M1-B	22.5	M1-M1_B	35.8
CIR250	180	M1_B-UBM_B	2290
TSV-M2-M1-30	30	M2-M1	63.6
CIR90	70	UBM-M2	346
TSV-M2-M1-30	27	M2-M1	51.5

2 TSV板和管壳合并进行DC IRdrop和阻抗设计优化

TSV板和管壳合并后成为一个完整的工程,其中TSV板为5层板;管壳设计有3层DIE层,25层金属层,其3D模型见图4。

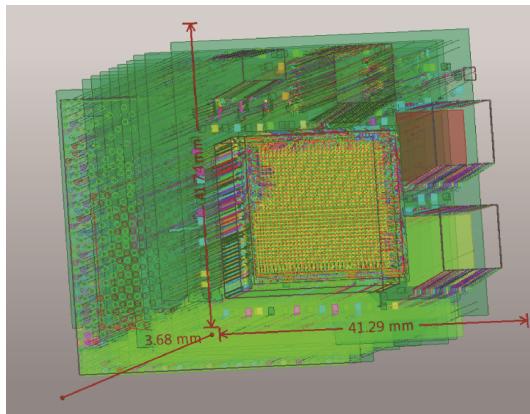


图4 LCDSP1601硅转接组件和管壳组合的3D模型

仿真过程中,如果TSV板和管壳按照分部件分别进行仿真,分部件处凸点、焊球的电压源作为pin-group进行操作,电流源是平均分配到每一个管脚进行操作的;若TSV板和管壳Attach合并操作,则作为一个整体模型进行仿真分析,电流和电压仿真时把连接处的凸点、焊球作为中间路径,这样仿真模拟的电流路径通过情况和实际工作情况更贴近。

2.1 DC IRdrop设计优化

同样对TSV板和管壳组合V1V2电源网络进行多次优化,仿真最大电流密度为224.1 A/mm²,过孔电流最大处为178.6 mA,见图5。DC IRdrop满足设计要求。管壳过孔电流判定见表2。

解决直流压降核心原则是尽量增大供电路径上的过流面积,尤其对于过流瓶颈位置要仔细识别并认真处理^[11],常用的措施有:加宽电和地平面的宽度、使用更多的过孔、在其他层添加金属层并用通孔相连、减小电源到芯片的距离等。

由于微系统模块在三维方向堆叠的密度很大,故在硅基板和管壳阶段进行电源DC IRdrop分析尤为重要,从过流能力、压降、电流密度等关键参数考察电源平面

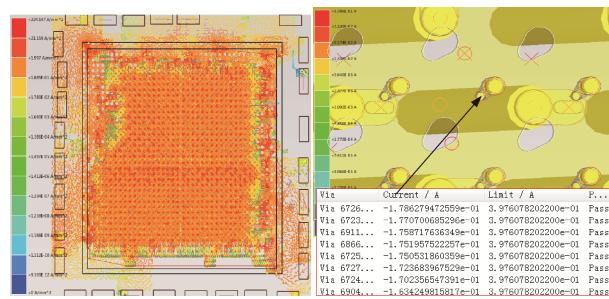


图5 TSV板和管壳组合V1V2电流密度、最大过孔电流

表2 管壳中Siwave软件中过孔电流判定

过孔名称	过孔直径/μm	过孔位置	Limit 电流/mA
VIR75	75	MP4-MP6	397
MP15-MP17	50	TOP-MP2	176

层的载流能力。

TSV板的DC IRdrop仿真通过后,进一步进行管壳DC IRdrop分析。采用TSV板和管壳集成仿真,可以更精确分析TSV板和管壳连接处的凸点、焊球这种瓶颈处的过流能力、压降、电流密度等关键参数。

与有机基板相比,硅基板具有先天优势^[12]:硅基板与各个芯片有着相同或相近的热膨胀系数,热匹配好,热应力小;硅材料的导热系数远大于有机材料,可提供良好的散热通道。设置合理的铜箔厚度和层叠结构,选用不同基材,控制好介电常数(DK)和损耗因子(DF),从而使封装的性能在成本优化的前提下达到最优^[13]。但是,低频范围和高频范围,信号损耗分别受到TSV周围SiO₂及其节距和Si层厚度影响介电常数和磁导率不同^[14-15],需要根据仿真进行均衡。根据电流密度结果、热仿真、样机测试运行结果以及近些年加工调试成功的多款微系统模块,总结出硅基板和管壳材质情况下,仿真电流密度经验值最大值为800 A/mm²。后期,根据工艺参数的实测数据积累,对此值再进行修正。

2.2 电源网络阻抗分析

电源网络阻抗分析:考察电源分布网络的阻抗是否过大,不超过目标阻抗。

通常采用基于频域目标阻抗的方法来评估电源网络的性能。目标阻抗的定义如下^[11]:

$$Z_{\text{target}} = \frac{(\text{Power_supply_Voltage}) \times (\text{Allowable_Ripple})}{\text{Current}} \quad (1)$$

一般来说,Power_supply_Voltage是电源平面的值;Allowable_Ripple为允许的电压波动,通常为5%;Current是芯片正常工作时的瞬时电流,一般按照最大电流的一半估计。设计目标就是在一定的频率范围内,电源网络的阻抗不超过目标阻抗Z_{target}。阻抗对电压波动示意见图6。

PDN互连基于各部件影响的频率范围,可划分为4

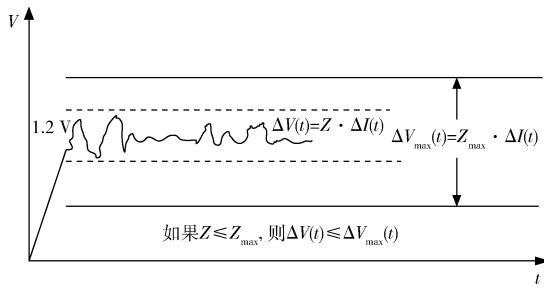


图 6 阻抗对电压波动的影响

个区段,如图 7 所示。

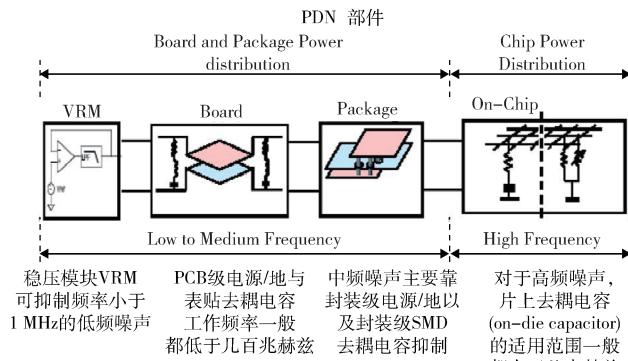


图 7 PDN 的不同部件起作用的频段范围

在最低频率范围内,稳压模块和体去耦电容器在 100 kHz 范围内对 PDN 阻抗起作用;最高频率则取决于片上电容,因具有最低的回路电感,通常在吉赫兹以上。

封装中 PDN 的等效串联电感将始终制约着模块向板级 PDN 看过去的最高频率。假设一个典型封装的 PDN 设计中有 10 个并联的电源/地引脚对,那么等效引脚电感为 0.1 nH,当频率超过 10 MHz 时,电路板阻抗基本大于 10 mΩ。

由于 PCB 板、元器件的特性以及封装等效串联电感等寄生参数的影响,PCB 板级阻抗的最高有效频率上限往往低于 100 MHz,而对于低电压大电流(如 0.9 V-8 A、1.2 V-16 A)控制器等元器件,根据式(1)计算出的目标阻抗较低,该频率通常为 30 MHz。当超过该频率时,从芯片看过去的阻抗与封装和芯片有关。一旦超过由封装电感制约的最高频率,则需要依靠封装内电容和 die 上电容决定。

TSV 硅基板和管壳的 PDN 阻抗分析包含电源/地平面和退耦电容、过孔、电源铜带、键合线或者凸点(solder-bump)、焊球(solderball)等连接线,由于 LCDSP1601ARH 芯片电流较大,稳压模块无法实时响应负载对于电流需求的快速变化,故在芯片周边放置储能电容作为储能从而防止电压出现跌落。管壳上附加的电容有 7 颗,容值为 0603-10 μF 的电容,其谐振频率为 1.8 MHz,寄生 ESR 为 0.003 9 Ω,分布在芯片周边,见图 8。根据 V1V2 电源

网络电压 1.2 V,电流 16 A,计算出目标阻抗值为 7.5 mΩ。此时仿真出的阻抗曲线见图 9。

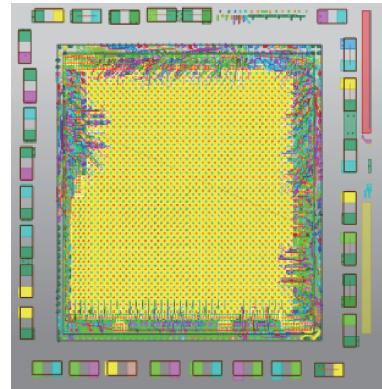


图 8 管壳结构及电容放置图

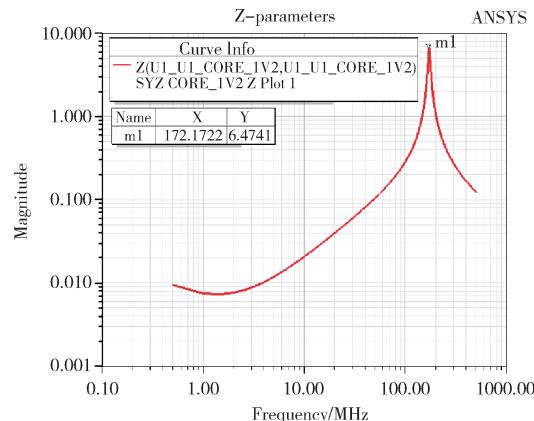


图 9 管壳阻抗曲线图

TSV 硅基板和管壳的设计中增添了电容,故 PDN 分析同时要进行 DC IRdrop 和阻抗分析,而阻抗分析则根据工程设计中所加电容情况进行具体分析。此处由于管壳空间有限,故可不进行阻抗优化,更高频段阻抗控制在 PCB 样机及片上电容去实现,在样机 PCB 板级阶段进行电容去耦策略分析实现阻抗优化。

3 样机 PCB 板设计优化

样机 PCB 板的 PDN 路径见图 10,从电源芯片供电端到微系统模块焊盘,进行 V1V2 电源网络 PDN 的 DC IRdrop 和阻抗优化设计。

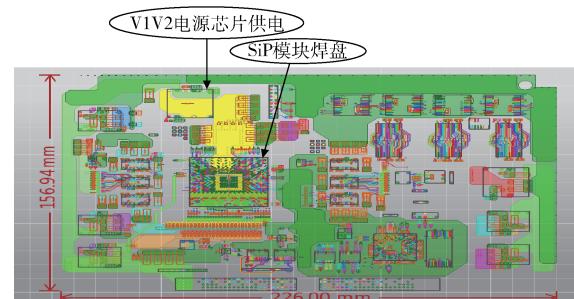


图 10 样机 PCB 板 V1V2 电源网络 PDN 路径

3.1 样机 PCB 板电源 DC IRdrop 分析

对样机 PCB 板 V1V2 电源网络进行 DC IRdrop 仿真分析, 产生 18 mV 压降; 最大电流密度为 57.4 A/mm^2 ; 过孔电流最大处为器件 DVPL0520S 输出引脚的一个通孔 PAD52_CIR72, 需通过电流为 13.07 A, 满足过流能力, DC IRdrop 满足设计要求, 电流密度、过孔电流见图 11。

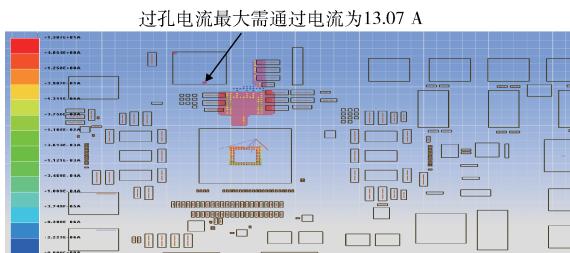


图 11 样机 PCB 板 V1V2 电源网络过孔电流图

按照国际标准 QJ3103A-2011 给出的 PCB 载流数据: 电流密度=电流/(铜箔厚度×走线线宽) (2)

在 PCB 印制板阶段, 仿真结果分析中, 对于大电流高密度管脚如控制器、FPGA 等 BGA 封装器件, 电流密度经验标准为不能超过 142.8 A/mm^2 , 一般布线情况下通常不应超过 68.71 A/mm^2 。过孔截面为金属圆环, 展开可近似为矩形截面, 类似于走线截面, 过孔壁取常规 $20 \mu\text{m}$ 厚, 在允许温升 20°C 时典型过孔允许的最大电流统计见表 3。

表 3 PCB 过孔电流判定表

过孔名称	Via020	Via025	Via030	Via040	Via060
过孔直径/mm	0.20	0.25	0.36	0.50	0.9
Limit 电流/A	1.4	1.7	2.2	3	4.5

3.2 样机 PCB 板电源网络阻抗设计优化

根据通用的目标阻抗设计方法对该样机板 V1V2 电源网络进行阻抗分析, V1V2 使用的电流为 16 A, 电压 1.2 V 波动范围为 5%, 得出目标阻抗为 $8 \text{ m}\Omega$, 此时未加电容, 仿真 V1V2 电源网络的阻抗曲线见图 12。

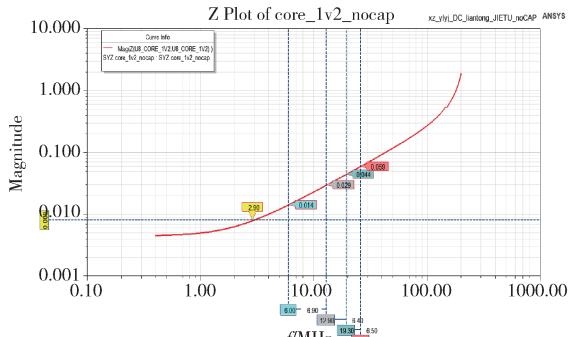


图 12 无电容阻抗曲线图

在 PCB 阶段需要在电源层和地平面层之间放置电容, 以使得 PDN 的阻抗在中频阶段低于目标阻抗。此处, 去耦电容仿真采用 Multi-Ploe(MP) 选择并放置, 即放置不同容值电容, 可采用例如 Three per decade^[11] 方法, 即按照 10 倍数选择多种电容, 同时阻抗曲线也能很好控制并联谐振峰, 并且考虑封装寄生效应应距离微系统模块供电引脚就近放置。放置电容时还需要考虑用电芯片电流较大, 稳压模块无法实时响应负载对于电流需求的快速变化, 故在芯片焊盘四角处放置大容量储能电容从而防止电压出现跌落。电容规格型号见表 4。

表 4 V1V2 电源网络的模块端电容配置

电容值	模型	谐振频率/		寄生 数量/ 片
		MHz	ESR/Ω	
330 μF	T530X337M010ATE004	0.2	0.003	4
100 μF	T520V107M006ATE007	0.3	0.006	4
22 μF	C4532JB1E226M	1.3	0.002	3
10 μF	C4532JB1E106K	2	0.002	2
1 μF	LLL317R71A105MA01	11.6	0.004 2	3
0.1 μF	EMK105BJ104	24.6	0.014 8	10
10 nF	TMK105BJ103	72.9	0.032	10
560 pF	UMK105SD561	297	0.08	10

重新仿真阻抗曲线, 见图 13, 20 MHz 频率范围内, 供给 LCDSP1601A 的 V1V2 电源网络平面阻抗低于目标阻抗 $8 \text{ m}\Omega$, 但是在 44.8 MHz 处有一个阻抗尖峰点, 为避免此尖峰点对应的信号高频谐振情况发生并影响到信号^[16], 可通过增加①谐振频率点为 42 MHz , 寄生电阻为 $6 \text{ m}\Omega$ 的 3 个电容 C2225C153 ②谐振频率点为 38 MHz , 寄生电阻为 $6 \text{ m}\Omega$ 的 3 个电容 W2L1_224_A ③谐振频率点为 29 MHz , 寄生电阻为 $4 \text{ m}\Omega$ 的 3 个电容 C2225C273 消除, 如图 14 所示, 此时阻抗曲线比较平滑, 无阻抗突变点。

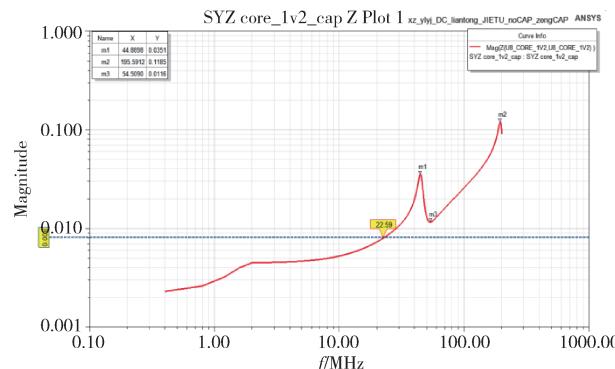


图 13 添加电容后阻抗曲线

4 应用 CPM 模型进行电源噪声时域仿真分析

由于特定的微代码和应用程序不同, 电流会在几乎

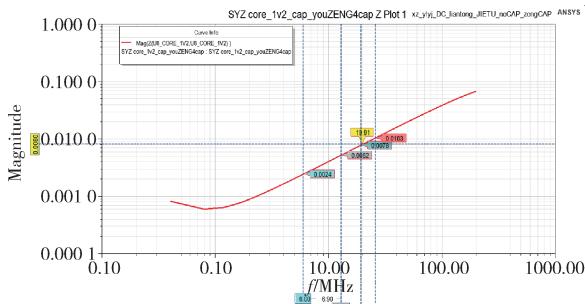


图14 电容优化后阻抗曲线

任何频率处发生扰动^[2]，负载电流因受PDN阻抗影响而表现为电压值，且电压纹波与PDN阻抗成正比例，采用芯片电源模型CPM在时域情况下，可以更直观观测电源纹波。

联合V1V2电源网络路径：PCB板、TSV板和管壳两部分的S参数数据，应用CPM模型从时域角度观测电源噪声优化效果。分别提取样机PCB板VRM端到微系统模块、TSV板和管壳Attach Package后的V1V2电源网络的模型参数，然后在仿真软件Designer中搭建V1V2的时域电路图，在模块端接入LCDSP1601ARH的CPM模型，见图15。

在模块端V1V2网络上分别分析有电容和无电容两种情况下模块前端的电压值，见图16。其中黑色虚线为采用CPM模型精确优化微系统模块管壳的高频去耦电容，并协同优化PCB中频去耦电容后的电压波形；黑色实线为未添加去耦电容网络时的电压波形，优化后芯片端电源纹波降低了46 mV。可见，无电容情况下，电压已经超过了1.2 V对波动小于5%（即1.14 V~1.26 V）的要求（实线）；在增添去耦电容后，电压1.2 V波动范围满足对其5%的要求（虚线）。这与3.2节中的PDN阻抗频域分析中增添去耦电容后其PDN阻抗下降相吻合，此处进行的时域纹波电压经过阻抗优化后也随之下降。

5 结论

本文提出了一种基于芯片封装系统协同对微系统模块的PDN进行设计优化的方法，对于不同部件TSV硅基板、HTCC管壳、PCB提出了不同的设计重点。TSV板和管壳阶段进行电源DC IRdrop分析尤为重要，管壳和PCB设计阶段需要增加电源阻抗分析，阻抗满足的最大频率点往往和使用的电容特性息息相关。同时结合

芯片CPM模型，在时域情况下更直观分析观测出电源设计优化后满足波动要求，由于电压纹波与PDN阻抗成正比例，这与频域降低阻抗曲线从而优化PDN效果是一致的。

参考文献

- [1] 李扬. SiP系统级封装设计及仿真[M]. 北京:电子工业出版社, 2012.
- [2] 李玉山. 信号完整性与电源完整性分析[M]. 北京:电子工业出版社, 2015.
- [3] 唐磊, 匡乃亮, 郭雁蓉, 等. 信息处理微系统的发展现状与未来发展趋势[J]. 微电子学与计算机, 2021, 38(10):5~6.
- [4] 蒋剑飞, 王琴, 贺光辉, 等. Chiplet技术研究与展望[J]. 微电子学与计算机, 2022, 39(1):2.
- [5] 王艳玲, 杨宇军, 袁金焕, 等. 基于CPS协同的微系统电源信号完整性设计[J]. 遥测遥控, 2021, 42(5):78.
- [6] CHEN J, KANAMOTO T, KANDO H, et al. An on-chip load model for off-chip PDN analysis considering interdependency between supply voltage, current profile and clock latency[C]//IEEE Workshop on SPI, 2018.
- [7] SANNA A, GRAZIOSI G. Optimization of on-package decoupling capacitors considering system variables[C]//IEEE Workshop on SPI, 2018.
- [8] 毛忠宇, 潘计划, 袁正红. IC封装基础与工程设计实例[M]. 北京:电子工业出版社, 2014.
- [9] 房丽丽. ANSYS信号完整性分析与仿真实例[M]. 北京:中国水电水利出版社, 2013.
- [10] 唐磊, 郭雁蓉, 赵超, 等. 基于硅通孔的信息处理微系统关键技术研究[J]. 遥测遥控, 2021, 42(5):58.
- [11] 于争. 信号完整性揭秘于博士SI设计手记[M]. 北京:机械工业出版社, 2016.
- [12] 吕植成. 基于硅基板的大功率LED封装研究[D]. 武汉:华中科技大学, 2013.
- [13] 李扬. 基于SiP技术的微系统[M]. 北京:电子工业出版社, 2021.
- [14] 刘汉诚. 三维电子封装的硅通孔技术[M]. 北京:化学工业出版社, 2014.
- [15] PAK J, CHO J, KIM J, et al. Slow wave and dielectric quasi-TEM modes of metal-insulator-semiconductor (MIS) structure through-silicon via(TSV) in signal propagation and power delivery in 3D chip package[C]//IEEE/

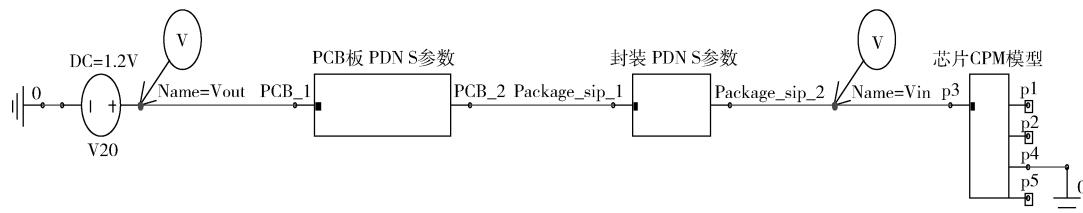


图15 应用CPM模型进行CPS协同仿真电路图

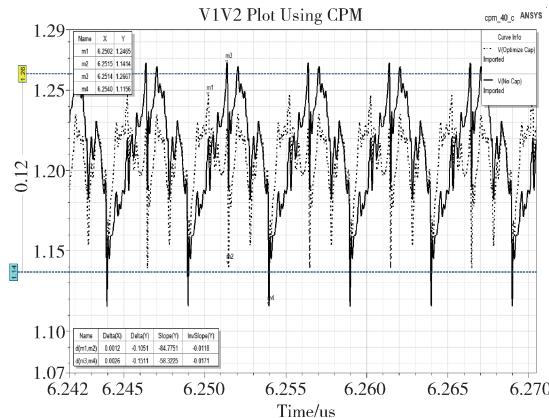


图 16 模块前端电压值(虚线为改善后波形)

ECTC Proceedings, 2011:667-672.

[16] 袁金焕,王艳玲,杨菊. 信号反射噪声的改善及仿真验

证[J]. 电子技术应用, 2020, 46(3):54.

(收稿日期:2022-05-29)

作者简介:

袁金焕 (1978-), 女, 硕士, 高级工程师, 主要研究方向: 三维集成封装和 PCB 板级系统的电源完整性和信号完整性设计仿真。

王艳玲 (1984-), 女, 硕士, 研究员, 硕士生导师, 主要研究方向: TSV 微系统电磁特性建模、TSV 硅基 PDK 提取、芯片封装系统协同的电源完整性和信号完整性分析。

殷丽丽 (1996-), 女, 硕士, 工程师, 主要研究方向: PCB 板级封装系统的电源完整性和信号完整性分析。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所