

# 基于OCP的轻量级多主从跨时钟域片上总线设计

赵嘉禾, 宋润泉, 许惟超, 王贇皓, 张旋

(上海航天电子技术研究所, 上海 201109)

**摘要:** 开放芯核协议(Open Core Protocol, OCP)总线可被应用于将IP核功能与接口解耦, 实现IP核的即插即用。针对OCP连接到异步时钟域时的同步问题, 改进设计了轻量化的同步接口, 在同步化控制信息的同时降低了跨时钟域缓存数据导致的硬件消耗。为解决点到点的OCP总线的扩展性不足的缺陷, 将设计的跨时钟域OCP总线部署于共享总线互联的高级高性能总线(AMBA High-performance Bus, AHB), 实现了多主从多时钟域传输。仿真和验证表明, 设计的改进跨时钟域OCP-AHB总线可以正确传输数据, 可用于其他工作的快速部署。

**关键词:** 片上系统; 跨时钟域; 多主从; 开放芯核协议

中图分类号: TN401

文献标志码: A

DOI: 10.16157/j.issn.0258-7998.223103

**中文引用格式:** 赵嘉禾, 宋润泉, 许惟超, 等. 基于OCP的轻量级多主从跨时钟域片上总线设计[J]. 电子技术应用, 2023, 49(2): 45-49.

**英文引用格式:** Zhao Jiahe, Song Runquan, Xu Weichao, et al. A clock domain crossing multi-master-slave lightweight on-chip bus based on OCP[J]. Application of Electronic Technique, 2023, 49(2): 45-49.

## A clock domain crossing multi-master-slave lightweight on-chip bus based on OCP

Zhao Jiahe, Song Runquan, Xu Weichao, Wang Yunhao, Zhang Xuan

(Shanghai Aerospace Electronic Technology Institute, Shanghai 201109, China)

**Abstract:** The open core protocol (OCP) bus can be applied to decouple IP core functions and the interfaces to realize the plug-and-play function. Aiming at the synchronization problem when the OCP is connected to asynchronous clock domain, a lightweight synchronization interface is developed, which not only synchronizes the control signals but also reduces the hardware consumption caused by data buffer across the clock domain. In view of the scalability of the point-to-point OCP bus, the enhanced clock-domain-crossing OCP bus is deployed on the AMBA High-performance Bus (AHB), which is interconnected by the shared bus, in order to realize multi-master-slave multi-clock transmission. It is proved by simulation that the enhanced clock-domain-crossing OCP-AHB bus can transmit data correctly, which is able to be rapidly deployed in the next step.

**Key words:** system on chip; clock domain cross; multiple master slave; open core protocol

### 0 引言

片上系统(System on Chip, SoC)的出现允许设计者将完整的系统集成到一块芯片上。由于系统复杂度和市场带来的压力, 设计者不会独立开发完整的SoC, 而是倾向于复用已设计好的功能模块或购买其他公司的知识产权(Intellectual Property, IP)核, 以便于在高层级构建系统。SoC中的IP核通过片上总线相互连接, 片上总线的性能直接影响IP核互联效率。目前常用的片上总线标准包括高级微控制器总线结构(Advanced Microcontroller Bus Architecture, AMBA)总线、开放芯核协议(Open Core Protocol, OCP)总线等<sup>[1]</sup>。

然而, 一方面SoC集成的功能块功能的多样性使得不同功能块之间的时钟频率并不统一; 另一方面, 在当下的深亚微米乃至纳米级CMOS工艺设计的集成电路中, 受时序不稳定性影响, 几乎不可能做到全局时钟同步<sup>[2-3]</sup>。因此现今SoC往往采取各种形式的全局异步本地同步的方式进行系统设计。在保证IP核即插即用的前提下, 不同频率时钟域下的IP核在同步总线的数据交换就成为一大难题。解决这一问题的常用方案是采用若干个异步存储器, 对地址或数据信息等进行缓存<sup>[4-5]</sup>, 但这不可避免地带来额外的硬件开销。

本文设计了一个跨时钟域的OCP-AHB总线模型,

该模型以 OCP 总线作为 IP 接口,在异步时钟域对一个支持 OCP 的 FIFO 进行读取和写入。针对 OCP 的同步问题,本文重新设计了跨时钟域接口,在主从两端使用两个状态机用于系统控制信息的交互,将不同时钟域的主从设备发送的控制信息同步化并消除亚稳态。出于优化硬件开销的考虑,本文在设计中没有缓存总线的数据、地址或控制信息,而是使用有限状态机(Finite State Machine, FSM)控制信号转发,将数据、地址透明传输。同时,本文基于本文工作和已有的与 OCP 兼容的 AHB 总线,实现了即插即用的跨时钟域片上总线。本文对设计的系统进行仿真验证,并给出系统的性能结果。

## 1 改进的跨时钟域 OCP 总线设计

### 1.1 OCP 简介

OCP 总线由开放芯核协议国际合作组织提出,目的在于实现 IP 核的即插即用,只要 IP 核与连接的总线(或其他模块)符合 OCP,即使更换总线(或其他模块)也无需修改 IP 核<sup>[6]</sup>。OCP 总线的可裁剪特性允许设计者对其进行改造,使之在满足 OCP 协议的基础上更适应实际的工作需求。目前已经有许多工作对基本的 OCP 总线进行改进,例如文献[7]对 OCP 总线进行了多主从改造,允许判决器直接对正在工作的主机和从机进行判决,提高资源复用率;文献[8]在 OCP 中引入有限状态机,从而实现更加灵活操控总线请求的目标。目前针对跨时钟域的 OCP 总线接口研究较少。文献[9]中,作者使用双时钟同步先入先出(First Input First Output, FIFO)存储器和同步-异步 FIFO 作为总线数据的缓冲,就跨时钟域的 OCP 总线进行了改进设计。然而这也意味着为了锁存数据和控制信息,会不可避免地浪费硬件资源。对于使用 OCP 作为即插即用 IP 核在片上总线的接口,文献[10]和文献[11]设计与 OCP 兼容的 AHB 总线。该工作在 AHB 总线的基础上,设计了使用 OCP 协议的接口,使得连接在 AHB 片上总线的 IP 核不依赖于特定总线。

开放芯核协议国际合作组织提出的 OCP 定义了两个实体之间的点对点通信协议,最基本的 OCP 总线封装中,IP 核与片上总线作为两个通信实体通过 OCP 总线相互连接。该协议设定了主机(Master)和从机(Slave)两个通信实体,由主机发送控制信号,从机进行响应,并允许两者半双工交换数据信息。IP 核的设计者根据 IP 的功能,决定该核作为主、从或两者兼有,与 IP 核功能相对应的 OCP 封装接口用于实现该核与其连接的支持 OCP 的实体,即片上总线的互补,从而组成一个完整的 OCP 总线。

### 1.2 OCP 的跨时钟改进

如图 1 所示,本文针对 OCP 的跨时钟域需求对现有的 OCP 接口做出了改进。改进后的跨时钟域(Clock

Domain Crossing, CDC) OCP 总线支持主从两端使用异步时钟进行通信,各自的时钟信号分别记作  $clk1$  和  $clk2$ 。为了避免异步传输数据时缓存数据造成存储资源的浪费,数据的传递由主从两端的状态机控制。主机的控制信号、从机发出的响应信号分别接入各自时钟域下的有限状态机 FSM1 和 FSM2 中,两个不同时钟的状态机之间的请求(Req)和确认(Ack)信号各由两级触发器进行同步<sup>[12]</sup>,以消除亚稳态。主从两端对于所对应的另一侧接收到的控制信号 SCmdAccept 和 MRespAccept,则分别由 FSM1 和 FSM2 根据接收到的同步后 AckSync 和 ReqSync 信号进行判决。

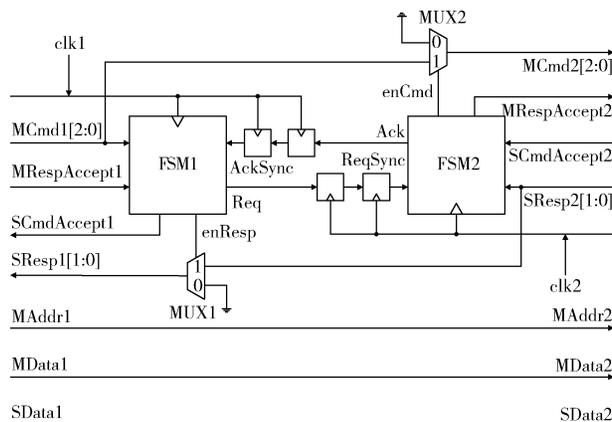


图 1 改进的 CDC-OCP 总线原理图

图 2 展示了图 1 原理图中主、从两侧有限状态机 FSM1 和 FSM2 的状态转移图。其中实线代表状态转移,虚线代表 FSM1 和 FSM2 两个状态机之间跨时钟域的请求-响应信息交互。如图所示,两个状态机都属于 Moore 状态机,其中,FSM1 包含 4 个状态:等待命令 (WaitCmd)、等待确认 (WaitAck)、等待接受响应 (WaitRespAcc) 和等待确认停止 (WaitAckn);FSM2 包含 5 个状态:等待请求 (WaitReq)、等待接受指令 (WaitCmdAcc)、等待响应 (WaitResp)、等待请求停止 (WaitReqn) 和发送接受响应 (SendRespAcc)。FSM1 和 FSM2 允许分别工作于  $clk1$  和  $clk2$  两个异步时钟下,只有在同步后的 AckSync 和 ReqSync 信号到达,两者才会响应异步时钟域的控制信号。

如图 2 所示,FSM1 和 FSM2 的初始状态分别处于 WaitCmd 和 WaitReq 状态。当主机发出 MCmd1 命令时,FSM1 进入 WaitAck 状态,同时向 FSM2 发出 Req 信号。接收到 Req 信号后,FSM2 由 WaitReq 状态转移到 WaitCmdAcc 状态,MCmd1 在  $clk2$  时钟域一侧的使能信号 enCmd 置 1,开始处理主机的命令。当从机正确接收到 MCmd 后,会反馈 SCmdAccept2 信号,FSM2 接收到该信号时,FSM2 进入 WaitResp 状态,并停止 enCmd 使能。从机对来自主机的命令进行处理后,向主机发送 SResp2

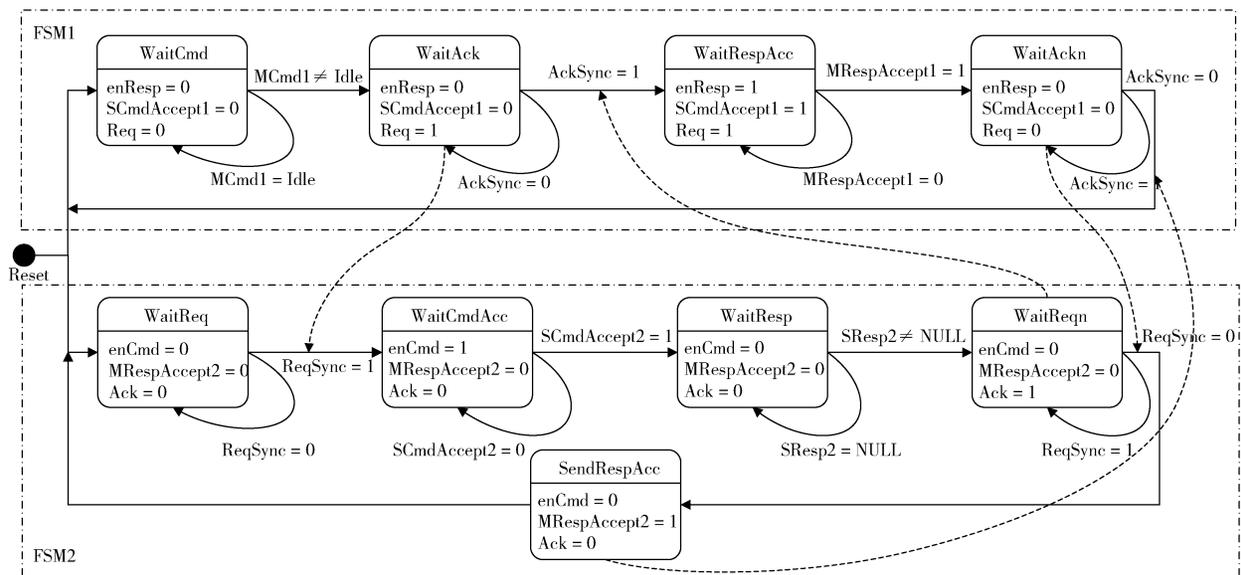


图2 改进的CDC-OCP总线状态转换图

反馈响应情况,接收到该信号后FSM2进入WaitReqn状态,并向FSM1发出Ack信号,表示等待主机确认。在从机进行响应的过程中,FSM1直到收到Ack信号为止一直保持在WaitAck状态,之后转移到WaitRespAcc状态,将SCmdAccept1信号置1并使能enResp,使在clk1时钟域一侧的主机收到从机的响应状态。在主机根据响应SResp1的情况进行处理后发出确认信号MRespAccept1,FSM1接收到该信号后状态转移至WaitAckn,将Req信号拉低以示本次请求完成。保持在WaitReqn状态的FSM2检测到低电平的Req信号后转移到SendRespAcc状态,向从机发出MRespAccept2信号,将Ack拉低并在下一时钟恢复初始状态。FSM1检测到Ack低电平后便会从WaitAckn状态恢复初始状态。经过上述过程,图1中CDC-OCP总线实现了一次完整的跨时钟域通信。

## 2 CDC-OCP-AHB总线的设计

AMBA总线是ARM公司设计开发的总线标准,已推出多个版本。它有着工艺无关、总线共享、支持突发、免费授权等特性,得到了广泛应用<sup>[13]</sup>。AMBA标准定义了三种不同的总线,其中包括的AHB用于高性能、高时钟频率系统模块<sup>[14-15]</sup>。

本文实现了与OCP兼容的AHB总线,将其作为系统总线连接多个不同时钟域的主机和从机。本文设计的系统模型如图3所示,包含两个OCP主机、两个作为OCP从机的FIFO,以上四个实体通过第1.2节实现的CDC-OCP总线接入AHB总线上。与OCP兼容的AHB总线包含两个OCP主端和OCP从端,分别与主机和从机连接。CDC-OCP总线作为跨时钟域的接口连接AHB总线和主机或从机,实现跨时钟域多主从通信。

图3中的虚线表示了主机1到从机2建立通路的控

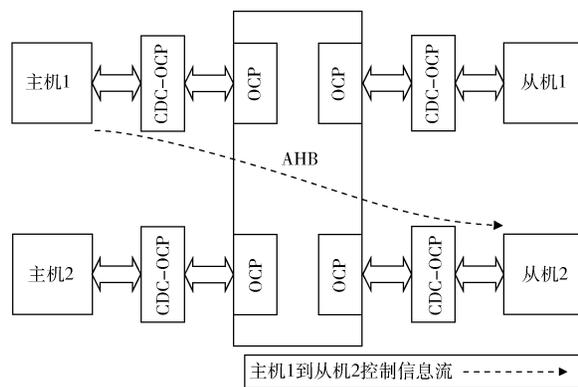


图3 CDC-OCP-AHB总线结构

制信息流。在传输开始时,主机1向与之相连的CDC-OCP总线发送命令并建立主机1到CDC-OCP从端的数据通路,而后依次建立到AHB、到从机相连的CDC-OCP总线,和到从机2的数据通路。通过这条数据通路,主机1可以向从机2发送或请求数据。

## 3 实现与仿真

### 3.1 CDC-OCP总线的实现

本文对CDC-OCP总线进行了寄存器传输级建模,并通过构建一个支持OCP的传输主机和一个作为OCP从机通信的FIFO,将处于不同时钟域的两端通过CDC-OCP总线相连接进行仿真,验证了设计方案的有效性。作为从机参与仿真过程的FIFO会根据OCP命令和自身数据空或满的情况决定读写操作是否进行以及反馈信号SCmdAccept和SResp的发出。

如图4所示,本文对CDC-OCP系统进行了仿真验证。设置主机时钟clk1频率为20 MHz,从机时钟clk2频率为50 MHz,两者处于异步时钟域。在初始复位后,主机通过CDC-OCP总线向FIFO依序发送了写入、写

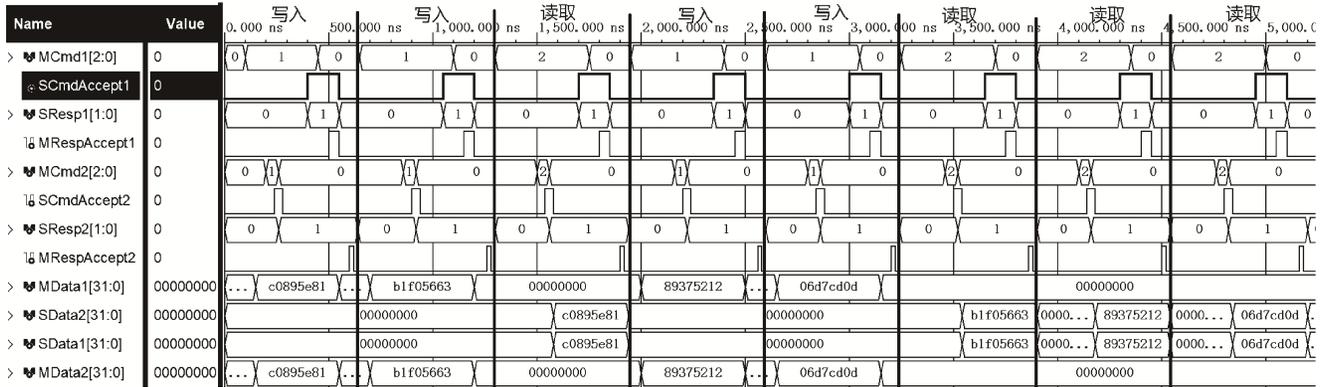


图4 CDC-OCF总线验证波形图

入、读取、写入、写入、读取、读取、读取的操作请求,在写入过程中主机在数据总线中写入随机数。在写入、读取操作过程中,OCF总线都可以正确存取数据。

### 3.2 CDC-OCF-AHB 总线的实现

本文对图3进行了建模,其中两个OCF主机及两个OCF-FIFO从机分别编号为1\_1、1\_2、2\_1、2\_2,从机1和从机2的十六进制地址分别设置为90000000和10000000。系统中存在5个时钟:总线时钟clk\_bus、主机1时钟clk1\_1、主机2时钟clk1\_2、从机1时钟clk2\_1和从机2时钟clk2\_2,分别设置频率为50 MHz、125 MHz、33.3 MHz、20 MHz、33.3 MHz。该模型中四个实体通过OCF\_AHB总线依顺序执行以下操作。操作I:1\_1向2\_1写入数据,操作II:1\_2向2\_1请求数据,操作III:1\_2向2\_2写入数据,操作IV:1\_1向2\_2请求数据。

图5展示了多主从的OCF系统通信的仿真波形图。从仿真结果可以看出,CDC-OCF-AHB总线多主从的控制通道建立正常,可以实现跨时钟域总线数据的正确通信。这一结果证明了本文的设计成果的正确性。

### 4 结论

综上所述,本文改进设计并实现了CDC-OCF总线。该总线支持主从两端在异步时钟域实现控制信息通信和读取写入数据。既确保了控制信息同步化,又可以最大化硬件利用率,无需缓存数据即可正确传输数据。此外,本文实现了兼容OCF的AHB总线,并将其与CDC-OCF总线结合作为多个支持主机和从机跨时钟域通信

的片上总线进行了RTL级仿真验证,证明了本文设计成果的可行性。本文轻量化其跨时钟域接口,使用主从两个状态机通过两级触发器消除亚稳态来相互通信,以此取代异步FIFO在跨时钟域中的作用,从而提高了硬件利用率。

### 参考文献

- [1] 邓崇亮,覃焕昌. SoC片上五种总线标准的分析比较[J]. 百色学院学报, 2008, 21(3): 50-55.
- [2] BUND J, FÜGGER M, LENZEN C, et al. PALS: plesiochronous and locally synchronous systems[C]// 2020 26th IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC), 2020: 36-43.
- [3] 曾永红,叶旭鸣. 基于GALS的SOC异步接口研究[J]. 微电子学与计算机, 2010, 27(5): 61-65.
- [4] 宋文强,胡毅. FPGA跨时钟域信号同步设计方法研究[J]. 单片机与嵌入式系统应用, 2018, 18(9): 24-27, 81.
- [5] 游斌相,廖育富,任午龙,马婕. FPGA在数据重排中的跨时钟处理[J]. 火控雷达技术, 2021, 50(3): 59-63.
- [6] OCF WORKING GROUP. Open core protocol specification[EB/OL]. (2013-XX-XX) [2022-06-03]. [https://www.accellera.org/images/downloads/standards/ocf/OCF\\_3.0\\_Specification.zip](https://www.accellera.org/images/downloads/standards/ocf/OCF_3.0_Specification.zip).
- [7] PRIYA M C. Architecture of on-chip bus OCF protocol with advanced bus functionalities[J]. International Journal for Recent Development in Science and Technology,

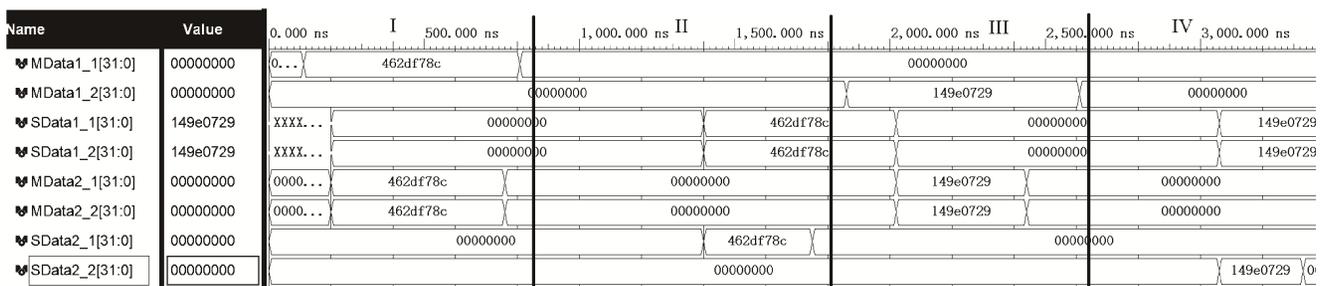


图5 CDC-OCF-AHB总线验证波形图

- 2020, 4(3): 1-7.
- [8] SRIKANTH N, KUMAR K S. Design of FSM oriented open core protocol for multi stage interconnection network[J]. International Journal of VLSI Design and Communication Systems, 2017, 5(8): 0744-0747.
- [9] VIJ V S, GUDLA R P, STEVENS K S. Interfacing synchronous and asynchronous domains for open core protocol[C]// 2014 27th International Conference on VLSI Design and 2014 13th International Conference on Embedded Systems, 2014: 282-287.
- [10] 王彩红. 与 OCP 兼容的 AHB 总线的 RTL 设计[D]. 哈尔滨: 哈尔滨工业大学, 2005.
- [11] 包海洋. 与 OCP 兼容的片上总线的随机验证环境的设计与实现[D]. 哈尔滨: 哈尔滨工业大学, 2005.
- [12] 赵旻, 梁步阁, 杨德贵, 等. 多时钟系统下跨时钟域同步电路的设计[J]. 电子技术应用, 2018, 44(2): 6-9.
- [13] GIRIDHAR P, CHOUDHURY P. Design and verification of AMBA AHB[C]// 2019 1st International Conference on Advanced Technologies in Intelligent Control, Environment, Computing & Communication Engineering (ICATIECE), 2019: 310-315.
- [14] DEEKSHA L, SHIVAKUMAR B. Effective design and implementation of AMBA AHB bus protocol using Verilog[C]// 2019 International Conference on Intelligent Sustainable Systems (ICISS), 2019: 1-5.
- [15] RAWAT K, SAHNI K, PANDEY S. RTL implementation for AMBA ASB APB protocol at system on chip level[C]// 2015 2nd International Conference on Signal Processing and Integrated Networks (SPIN), 2015: 927-930.
- (收稿日期: 2022-06-19)

作者简介:

赵嘉禾(1995-),男,硕士,助理工程师,主要研究方向: SoC 设计、嵌入式微控制器开发。

宋润泉(1993-),男,硕士,工程师,主要研究方向: 集成电路、网络通信。

许惟超(1994-),男,硕士,助理工程师,主要研究方向: SoC 设计、嵌入式显示控制。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所